

TSUCHI

U. S. Application No. 10/772,600

Our Ref. 8045-1018

(57) ABSTRACT

Problem:

To provide a drive circuit which accomplishes voltage output to a high degree with a low consumption of electric power.

Resolution means:

By providing a transistor 111 and switch 131 of source follower construction connected between an output terminal T2 and a VDD; and

an electric current source 113 and switch 132 connected between an output terminal T2 and a VDD; and

a transistor 121 of a source follower composition and a switch 141 connected between an output terminal T2 and a VSS; and

an electric current source 123 and switch 142 connected between an output terminal T2 and a VDD; and

gate bias control means 11 and 12 which supplies bias voltage to transistors 111 and 121 based on the input signal voltage; and

in a single time period comprising the low potential data output period, turning on the switch 131, by which the transistor 111 operates the source follower; driving the output voltage V_{out} to the stipulated voltage proximity corresponding to the input signal voltage V_{in} ; and at a subsequent time, turning on the switch 132, controlling the drain voltage of the transistor 111 and driving the drain current output voltage to a high degree to a stipulated voltage corresponding to the input signal voltage; and during the high electric potential output period, turning on the switch 141 and in a subsequent time period turning on the switch 142.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-22055
(P2003-22055A)

(43) 公開日 平成15年1月24日 (2003.1.24)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 2 3		6 2 3 B 5 J 0 5 6
H 0 3 K 19/0175		H 0 3 K 19/00	1 0 1 F
審査請求 未請求 請求項の数22 O L (全 23 頁)			

(21) 出願番号 特願2001-206986(P2001-206986)

(22) 出願日 平成13年7月6日 (2001.7.6)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 土 弘

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

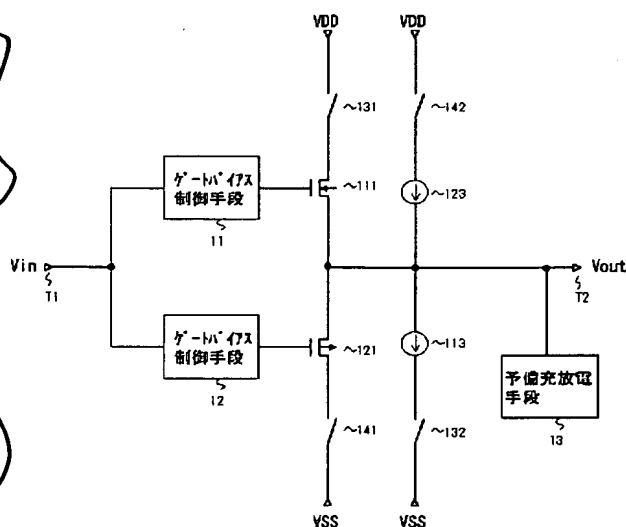
最終頁に続く

(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】 低消費電力で高精度に電圧出力を行う駆動回路の提供。

【解決手段】 出力端子T2とVDD間に接続される、ソースフォロワ構成のトランジスタ111及びスイッチ131と、出力端子T2とVSS間に接続される電流源113及びスイッチ132と、出力端子T2とVSS間に接続されるソースフォロワ構成のトランジスタ121及びスイッチ141と、出力端子T2とVDD間に接続される電流源123及びスイッチ142と、入力信号電圧に基づきトランジスタ111、121にバイアス電圧を供給するゲートバイアス制御手段11、12と、低電位データ出力期間の一の時刻で、スイッチ131をオンしトランジスタ111をソースフォロワ動作させ、出力電圧Voutを入力信号電圧Vinに対応して規定されるある電圧付近まで駆動し、後の時刻で、スイッチ132をオンしトランジスタ111のドレイン電流を制御し出力電圧を入力信号電圧に対応して規定されるある電圧まで高精度に駆動し、高電位データ出力期間では一の時刻でスイッチ141をオンし後の時刻でスイッチ142をオンする。



1

【特許請求の範囲】

【請求項 1】出力端子と第 1 の電源間に直列形態に接続されている、フォロウ構成のトランジスタ及び第 1 のスイッチと、

前記出力端子と第 2 の電源間に直列形態に接続されている、第 1 の電流源及び第 2 のスイッチと、

入力信号電圧に基づき前記フォロウ構成のトランジスタに入力バイアス電圧を供給するバイアス制御手段と、を少なくとも備え、

データ出力期間の一のタイミングで、前記第 1 のスイッチをオンして、前記トランジスタをフォロウ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定される所望電圧付近まで駆動し、前記一のタイミングの後のタイミングで、前記第 2 のスイッチをオンして前記第 1 及び第 2 のスイッチをとともにオン状態とし、前記後のタイミングより、前記入力信号電圧に対応して規定される前記所望電圧まで駆動する、構成とされてなる、ことを特徴とする駆動回路。

【請求項 2】前記バイアス制御手段が、前記出力端子電圧が前記所望の電圧となるときに、前記トランジスタに流れる電流が十分小さい電流をとるような、一定のバイアス電圧に制御する、ことを特徴とする請求項 1 記載の駆動回路。

【請求項 3】出力端子と高電位電源間に直列形態に接続されている、ソースフォロウ構成の第 1 導電型の第 1 の MOS トランジスタ及び第 1 のスイッチと、

前記出力端子と低電位電源間に直列形態に接続されている、第 1 の電流源、及び第 2 のスイッチと、

入力信号電圧に基づき前記第 1 の MOS トランジスタにゲートバイアス電圧を供給する第 1 のゲートバイアス制御手段と、

を備え、

データ出力期間の一のタイミングで、前記第 1 のスイッチをオンして、前記第 1 の MOS トランジスタをソースフォロウ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定されるある電圧付近まで駆動し、前記一のタイミングの後のタイミングで、前記第 2 のスイッチをオンして前記第 1、及び第 2 のスイッチをとともにオン状態とする手段を備え、前記第 1 の MOS トランジスタのドレイン電流を制御する前記後のタイミングより、前記入力信号電圧に対応して規定される前記ある電圧まで駆動する、構成とされてなる、ことを特徴とする駆動回路。

【請求項 4】出力端子と低電位電源間に直列形態に接続されている、ソースフォロウ構成の第 2 導電型の第 2 の MOS トランジスタ、及び第 3 のスイッチと、

前記出力端子と高電位電源間に直列形態に接続されている、第 2 の電流源、及び第 4 のスイッチと、

入力信号電圧に基づき前記第 2 の MOS トランジスタにゲートバイアス電圧を供給する第 2 のゲートバイアス制

(2)

特開 2003-22055

2

御手段と、

を備え、

データ出力期間の一のタイミングで、前記第 3 のスイッチをオンして、前記第 2 の MOS トランジスタをソースフォロウ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定されるある電圧付近まで駆動し、前記一のタイミングの後のタイミングで、前記第 4 のスイッチをオンし、前記第 3、及び第 4 のスイッチをオン状態とする手段を備え、前記第 2 の MOS トランジスタのドレイン電流を制御する前記後のタイミングより、前記入力信号電圧に対応して規定される前記ある電圧まで駆動する、構成とされてなる、ことを特徴とする駆動回路。

【請求項 5】前記出力端子を予備放電する手段を備え、前記出力端子から低電位データを出力するときに、前記一のタイミングのまえに前記出力端子を予備放電する、ことを特徴とする請求項 3 記載の駆動回路。

【請求項 6】前記出力端子を予備充電する手段を備え、前記出力端子から高電位データを出力するときに、前記一のタイミングのまえに前記出力端子を予備充電する、ことを特徴とする請求項 4 記載の駆動回路。

【請求項 7】出力端子と高電位電源間に直列形態に接続されている、ソースフォロウ構成の第 1 導電型の第 1 の MOS トランジスタ、及び第 1 のスイッチと、

前記出力端子と低電位電源間に直列形態に接続されている、第 1 の電流源、及び第 2 のスイッチと、

入力信号電圧に基づき前記第 1 の MOS トランジスタにゲートバイアス電圧を供給する第 1 のゲートバイアス制御手段と、

前記出力端子と低電位電源間に直列形態に接続されている、ソースフォロウ構成の第 2 導電型の第 2 の MOS トランジスタ、及び第 3 のスイッチと、

前記出力端子と高電位電源間に直列形態に接続されている、第 2 の電流源、及び第 4 のスイッチと、

前記入力信号電圧に基づき前記第 2 の MOS トランジスタにゲートバイアス電圧を供給する第 2 のゲートバイアス制御手段と、

を備え、

低電位データ出力期間の一のタイミングで、前記第 1 のスイッチをオンして、前記第 1 の MOS トランジスタを

ソースフォロウ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定されるある電圧付近まで駆動し、前記一のタイミングの後のタイミングで、前記第 2 のスイッチをオンして前記第 1、及び第 2 のスイッチをとともにオン状態とする手段を備え、前記第 1 の MOS トランジスタのドレイン電流を制御する前記後のタイミン

グより、前記入力信号電圧に対応して規定される前記ある電圧まで駆動し、

高電位データ出力期間の一のタイミングで、前記第 3 のスイッチをオンして、前記第 2 の MOS トランジスタをソースフォロウ動作させ、前記出力端子電圧を前記入力

10

20

30

40

50

3

信号電圧に対応して規定されるある電圧付近まで駆動し、高電位データ出力期間の一のタイミングの後のタイミングで、前記第4のスイッチをオンし、前記第3、及び第4のスイッチをオン状態とする手段を備え、前記第2のMOSトランジスタのドレイン電流を制御する前記後のタイミングより、前記入力信号電圧に対応して規定される前記ある電圧まで駆動する、構成とされてなる、ことを特徴とする駆動回路。

【請求項8】前記第1のゲートバイアス制御手段が、ドレインとゲートが、前記第1のMOSトランジスタのゲートと共通接続され、ソースが第5のスイッチを介して前記入力端子に接続されている第1導電型の第3のMOSトランジスタを備え、
前記第3のMOSトランジスタのドレインと前記高位側電源間に直列形態に接続されている、第3の電流源、及び第6のスイッチと、
前記入力端子と第5のスイッチの接続点と前記低位側電源間に直列形態に接続されている、第4の電流源、及び第7のスイッチと、
前記第1、第3のMOSトランジスタのゲートの共通接続点と前記高位側電源間に接続されている第8のスイッチと、
を備えている、ことを特徴とする請求項3又は7記載の駆動回路。

【請求項9】前記第2のゲートバイアス制御手段が、ドレインとゲートが前記第2のMOSトランジスタのゲートと共通接続され、ソースが、第9のスイッチを介して前記入力端子に接続されている第2導電型の第4のMOSトランジスタを備え、
前記第4のMOSトランジスタのドレインと低位側電源間に直列形態に接続されている、第5の電流源、及び第10のスイッチと、
前記入力端子と前記第9のスイッチの接続点と前記高位側電源間に直列形態に接続されている、第6の電流源、及び第11のスイッチと、
前記第2、第4のMOSトランジスタのゲートの共通接続点と前記低位側電源間に接続されている第12のスイッチと、
を備えている、ことを特徴とする請求項4又は7記載の駆動回路。

【請求項10】前記出力端子を予備放電、及び予備充電する手段を備え、
前記入力信号電圧が低電位データのデータ出力期間において、前記一のタイミングのまえに前記出力端子を予備放電し、
前記入力信号電圧が高電位データのデータ出力期間において、前記一のタイミングのまえに前記出力端子を予備充電する、構成とされてなる、ことを特徴とする請求項7記載の駆動回路。

【請求項11】出力端子と高電位電源間に直列形態に接

(3)

特開2003-22055

4

続されている、ソースフォロウ構成の第1導電型の第1のMOSトランジスタ、及び第1のスイッチと、
前記出力端子と低電位電源間に直列形態に接続されている、第1の電流源、及び第2のスイッチと、
入力信号電圧に基づき前記第1のMOSトランジスタにゲートバイアス電圧を供給する第1のゲートバイアス制御手段と、

前記出力端子と低電位電源間に直列形態に接続されている、ソースフォロウ構成の第2導電型の第2のMOSトランジスタ、及び第3のスイッチと、
前記出力端子と高電位電源間に直列形態に接続されている、第2の電流源、及び第4のスイッチと、
前記入力信号電圧に基づき前記第2のMOSトランジスタにゲートバイアス電圧を供給する第2のゲートバイアス制御手段と、

を備え、

前記第1のゲートバイアス制御手段が、
ドレインとゲートが、前記第1のMOSトランジスタのゲートと共通接続され、ソースが第5のスイッチを介して前記入力端子に接続されている第1導電型の第3のMOSトランジスタと、
前記第3のMOSトランジスタのドレインと前記高位側電源間に直列形態に接続されている、第3の電流源、及び第6のスイッチと、

前記入力端子と第5のスイッチの接続点と前記低位側電源間に直列形態に接続されている、第4の電流源、及び第7のスイッチと、

前記第1、第3のMOSトランジスタのゲートの共通接続点と前記高位側電源間に接続されている第8のスイッチと、

を備え、

前記第2のゲートバイアス制御手段が、
ドレインとゲートが前記第2のMOSトランジスタのゲートと共通接続され、ソースが、第9のスイッチを介して前記入力端子に接続されている第2導電型の第4のMOSトランジスタと、

前記第4のMOSトランジスタのドレインと低位側電源間に直列形態に接続されている、第5の電流源、及び第10のスイッチと、

前記入力端子と前記第9のスイッチの接続点と前記高位側電源間に直列形態に接続されている、第6の電流源、及び第11のスイッチと、

前記第2、第4のMOSトランジスタのゲートの共通接続点と前記低位側電源間に接続されている第12のスイッチと、

を備え、

低電位データ出力期間の一のタイミングで、前記第1のスイッチをオンして、前記第1のMOSトランジスタをソースフォロウ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定されるある電圧付近まで駆動

50

5

し、前記一のタイミングの後のタイミングで、前記第2のスイッチをオンして前記第1、及び第2のスイッチとともにオン状態とする手段を備え、前記第1のMOSトランジスタのドレイン電流を制御する前記後のタイミングより、前記入力信号電圧に対応して規定される前記ある電圧まで駆動し、

高電位データ出力期間の一のタイミングで、前記第3のスイッチをオンして、前記第2のMOSトランジスタをソースフォロワ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定されるある電圧付近まで駆動し、高電位データ出力期間の一のタイミングの後のタイミングで、前記第4のスイッチをオンし、前記第3、及び第4のスイッチをオン状態とする手段を備え、前記第2のMOSトランジスタのドレイン電流を制御する前記後のタイミングより、前記入力信号電圧に対応して規定される前記ある電圧まで駆動する、構成とされてなる、ことを特徴とする駆動回路。

【請求項12】出力端子と高電位電源間に直列形態に接続されている、ソースフォロワ構成の第1導電型の第1のMOSトランジスタ、及び第1のスイッチと、

前記出力端子と低電位電源間に直列形態に接続されている、第1の電流源、及び第2のスイッチと、

入力信号電圧に基づき前記第1のMOSトランジスタにゲートバイアス電圧を供給する第1のゲートバイアス制御手段と、

前記出力端子と低電位電源間に直列形態に接続されている、ソースフォロワ構成の第2導電型の第2のMOSトランジスタ、及び第3のスイッチと、

前記出力端子と高電位電源間に直列形態に接続されている、第2の電流源、及び第4のスイッチと、

前記入力信号電圧に基づき前記第2のMOSトランジスタにゲートバイアス電圧を供給する第2のゲートバイアス制御手段と、

を備え、

前記第1のゲートバイアス制御手段が、

ドレインとゲートが、前記第1のMOSトランジスタのゲートと共通接続され、ソースが第5のスイッチを介して入力端子に接続されている第1導電型の第3のMOSトランジスタと、

前記第3のMOSトランジスタのドレインと高位側電源間に直列に接続されている、第3の電流源、及び第6のスイッチと、

前記第3のMOSトランジスタのドレインとソースに、ソースとドレインがそれぞれ接続され、ゲートにバイアス電圧が供給される第2導電型の第4のMOSトランジスタと、

前記第1、第3のMOSトランジスタのゲートの共通接続点と前記高位側電源間に接続されている第7のスイッチと、

を備え、

(4)

特開2003-22055

6

前記第2のゲートバイアス制御手段が、

ドレインとゲートが前記第2のMOSトランジスタのゲートと共通接続され、ソースが、第8のスイッチを介して入力端子に接続されている第2導電型の第5のMOSトランジスタと、

前記第5のMOSトランジスタのドレインと低位側電源間に直列に接続されている、第4の電流源、及び第9のスイッチと、

前記第5のMOSトランジスタのドレインとソースに、ソースとドレインがそれぞれ接続され、ゲートにバイアス電圧が供給される第1導電型の第6のMOSトランジスタと、

前記第2、第5のMOSトランジスタのゲートの共通接続点と前記低位側電源間に接続されている第10のスイッチと、

を備え、

低電位データ出力期間の一のタイミングで、前記第1のスイッチをオンして、前記第1のMOSトランジスタをソースフォロワ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定されるある電圧付近まで駆動

し、一のタイミングの後のタイミングで、前記第2のスイッチをオンして前記第1、及び第2のスイッチとともにオン状態とする手段を備え、前記第1のMOSトランジスタのドレイン電流を制御する前記後のタイミングより、前記入力信号電圧に対応して規定される前記ある電圧まで駆動し、

高電位データ出力期間の一のタイミングで、前記第3のスイッチをオンして、前記第2のMOSトランジスタをソースフォロワ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定されるある電圧付近まで駆動

し、前記高電位データ出力期間の一のタイミングの後のタイミングで、前記第4のスイッチをオンし、前記第3、及び第4のスイッチをオン状態とする手段を備え、前記第2のMOSトランジスタのドレイン電流を制御する前記後のタイミングより、前記入力信号電圧に対応して規定される前記ある電圧まで駆動する、構成とされてなる、ことを特徴とする駆動回路。

【請求項13】前記高位側電源と前記出力端子との間に接続されている第13のスイッチを含む予備充電手段と、

前記低位側電源と前記出力端子との間に接続されている第14のスイッチを含む予備放電手段と、

前記入力信号電圧が低電位データのデータ出力期間において、前記一のタイミングのまえに前記第14のスイッチをオンして前記出力端子を予備放電し、

前記入力信号電圧が高電位データのデータ出力期間において、前記一のタイミングのまえに前記出力端子を前記第13のスイッチをオンして予備充電する、ことを特徴とする請求項11に記載の駆動回路。

50

【請求項14】前記高位側電源と前記出力端子との間に

7

接続されている第11のスイッチを含む予備充電手段と、
前記低位側電源と前記出力端子との間に接続されている第12のスイッチを含む予備放電手段と、
前記入力信号電圧が低電位データのデータ出力期間において、前記一のタイミングのまゝに前記第12のスイッチをオンして前記出力端子を予備放電し、
前記入力信号電圧が高電位データのデータ出力期間において、前記一のタイミングのまゝに前記出力端子を前記第11のスイッチをオンして予備充電する、ことを特徴とする請求項12に記載の駆動回路。

【請求項15】前記入力信号電圧が低電位データのデータ出力期間において、4つのタイミング期間よりなり、第1のタイミング期間では、前記第8のスイッチをオンし、残りの第1乃至第7、第9乃至第12のスイッチはオフ状態とされ、

第2のタイミング期間では、前記第8のスイッチがオフされ、第5のスイッチがオンされ、
前記第1、前記第2のタイミング期間の少なくとも一方で前記出力端子が予備放電され、

第3のタイミング期間では、前記第1のスイッチがオンされ、第5のスイッチはオン状態とされ、

第4のタイミング期間では、前記第2のスイッチがオンされ、前記第1のスイッチと前記第5のスイッチはオン状態とされ、前記第6のスイッチ、前記第7のスイッチがオンされ、

前記入力信号電圧が高電位データのデータ出力期間において、4つのタイミング期間よりなり、

第1のタイミング期間では、前記第12のスイッチをオンし、前記第1乃至第11のスイッチがオフ状態とされ、

第2のタイミング期間では、前記第12のスイッチがオフされ、前記第9のスイッチがオンされ、

前記第1、前記第2のタイミング期間の少なくとも一方で前記出力端子が予備充電され、

第3のタイミング期間では、前記第3のスイッチがオンされ、前記第9のスイッチはオン状態とされ、

第4のタイミング期間では、前記第4のスイッチがオンされ、前記第3のスイッチと前記第9のスイッチはオン状態とされ、前記第10のスイッチ、前記第11のスイッチがオンされる、ことを特徴とする請求項11に記載の駆動回路。

【請求項16】前記入力信号電圧が低電位データのデータ出力期間において、4つのタイミング期間よりなり、第1のタイミング期間では、前記第7及び前記第10のスイッチの少なくとも前記第7のスイッチをオンし、残りの第1乃至第6、第8乃至第9のスイッチはオフ状態とされ、

第2のタイミング期間では、前記第7及び前記第10のスイッチがオフ状態とされ、前記第5及び前記第8のス

(5)

特開2003-22055

8

スイッチの少なくとも前記第5のスイッチがオンされ、
前記第1、前記第2のタイミング期間の少なくとも一方で前記出力端子が予備放電され、

第3のタイミング期間では、前記第1のスイッチがオンされ、前記第5及び前記第8のスイッチの少なくとも前記第5のスイッチはオン状態とされ、

第4のタイミング期間では、前記第2のスイッチがオンされ、前記第1のスイッチはオン状態とされ、前記第5及び前記第8のスイッチの少なくとも前記第5のスイッチはオン状態とされ、前記第6及び前記第9のスイッチの少なくとも前記第6のスイッチがオンされ、

前記入力信号電圧が高電位データのデータ出力期間において、4つのタイミング期間よりなり、

第1のタイミング期間では、前記第7及び前記第10のスイッチの少なくとも前記第10のスイッチをオンし、前記第1乃至第6、前記第8乃至第9のスイッチがオフ状態とされ、

第2のタイミング期間では、前記第7及び前記第10のスイッチがオフ状態とされ、前記第5及び前記第8のスイッチの少なくとも前記第8のスイッチがオンされ、

前記第1、前記第2のタイミング期間の少なくとも一方で前記出力端子が予備充電され、

第3のタイミング期間では、前記第3のスイッチがオンされ、前記第5及び前記第8のスイッチの少なくとも前記第8のスイッチはオン状態とされ、

第4のタイミング期間では、前記第4のスイッチがオンされ、前記第3のスイッチはオン状態とされ、前記第5及び前記第8のスイッチの少なくとも前記第8のスイッチはオン状態とされ、前記第6及び前記第9のスイッチの少なくとも前記第9のスイッチがオンされる、ことを特徴とする請求項12に記載の駆動回路。

【請求項17】前記第2の電流源、前記第3の電流源、前記第6の電流源を構成する第2導電型トランジスタのゲートに第1のバイアス電圧を与え、

前記第1の電流源、前記第4の電流源、前記第5の電流源を構成する第1導電型トランジスタのゲートに第2のバイアス電圧を与えるバイアス回路を備え、

前記バイアス回路は、前記第1、第2のバイアス電圧の電源バスにスイッチを備え、該スイッチにより、動作、停止が制御される、ことを特徴とする請求項11又は12記載の駆動回路。

【請求項18】前記第2の電流源、前記第3の電流源、前記第6の電流源を構成する第2導電型トランジスタのゲートに第1のバイアス電圧を与え、

前記第1の電流源、前記第4の電流源、前記第5の電流源を構成する第1導電型トランジスタのゲートに第2のバイアス電圧を与えるバイアス回路を備え、

前記バイアス回路は、前記第1、第2のバイアス電圧の電源バスにスイッチを備え、前記スイッチは、請求項15又は請求項16の少なくとも前記第4のタイミング期

10

20

30

40

50

間にオンされる、ことを特徴とする駆動回路。

【請求項 19】高位側電源と出力端子との間に直列形態に接続されている、ソースフォロワ構成の第 1 導電型のトランジスタ、及び第 1 のスイッチと、前記出力端子と低位側電源との間に直列形態に接続されている、ソースフォロワ構成の第 2 導電型のトランジスタ、及び第 2 のスイッチと、前記高位側電源と前記出力端子との間に直列形態に接続されている、第 1 の電流源、及び第 3 のスイッチと、前記低位側電源と前記出力端子との間に直列形態に接続されている、第 2 の電流源、及び第 4 のスイッチと、入力信号電圧を入力し前記第 1 導電型のトランジスタのゲートのバイアス電圧を制御する第 1 のゲートバイアス制御手段と、前記入力信号電圧を入力し、前記第 2 導電型のトランジスタのゲートのバイアス電圧を制御する第 2 のゲートバイアス制御手段と、前記出力端子を前記入力信号電圧に応じて予備充電または予備放電する予備充電手段と、を備え、あらかじめ定められた基準電圧未満の低電位レベルを出力する一出力期間において、第 1 の時刻で、前記出力端子を予備放電し、前記第 1 乃至第 4 のスイッチはすべてオフとされ、第 2 の時刻で、前記予備放電を停止し、前記第 1 のスイッチをオンし、第 3 の時刻で、前記第 1 のスイッチをオン状態としたまま、前記第 4 のスイッチをオンとし、前記基準電圧以上の高電位レベルを出力する一出力期間において、第 1 の時刻で、前記出力端子を予備充電し、前記第 1 乃至第 4 のスイッチはすべてオフとされ、第 2 の時刻で、前記予備充電を停止し、前記第 2 のスイッチをオンし、第 3 の時刻で、前記第 2 のスイッチをオン状態としたまま、前記第 3 のスイッチをオンとする構成とされている、ことを特徴とする駆動回路。

【請求項 20】請求項 1 乃至 19 のいずれか一の前記駆動回路において、

前記駆動回路の前記スイッチのオン、オフの制御が、前記駆動回路に接続されるスイッチ制御手段によって行われる、ことを特徴とする駆動回路。

【請求項 21】請求項 1 乃至 20 のいずれか一の前記駆動回路をデータ線の駆動に用いた液晶表示装置。

【請求項 22】第 1、第 2 の参照電圧間に直列形態に接続されている複数の抵抗を備え各タップから階調電圧を生成する階調発生手段と、デジタル信号を入力し前記階調発生手段の出力電圧から対応する電圧を選択出力するデコード回路を備え、前記デコード回路の出力を入力し、データ線を駆動する駆動回路であって、請求項 1 乃至 19 のいずれか一の前

記駆動回路を複数備え、

前記各駆動回路におけるスイッチ制御を行うスイッチ制御手段と、

前記駆動回路の前記電流源に対してバイアス電圧を供給するバイアス回路と、

を備えている、ことを特徴とする駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、駆動回路に関し、特に、容量負荷の駆動に好適とされる駆動回路に関する。

【0002】

【従来の技術】この発明に関連する技術の刊行物として、

(1) 特開平 11-119750 号

(2) 特開 2000-338461 号公報

等が参照される。

【0003】図 13 は、特開平 11-119750 号公報に開示されている液晶表示装置の駆動回路の構成の一例を示す図である。図 13 を参照すると、この駆動回路は、入力端子 T1 にスイッチ 1031 を介してソースが接続され、ゲートとドレインが接続された N チャネル MOS トランジスタ 1011 と、N チャネル MOS トランジスタ 1011 のドレインと高位側電源 VDD 間に接続されたスイッチ 1032 と、N チャネル MOS トランジスタ 1011 のゲートにゲートが共通接続され（共通接続点ノードを V10 とする）、ドレインがスイッチ 1033 を介して高位側電源 VDD に接続された N チャネル MOS トランジスタ 1012 を備え、入力端子 T1 にスイッチ 1041 を介してソースが接続され、ゲートとドレインが接続された P チャネル MOS トランジスタ 1021 と、P チャネル MOS トランジスタ 1021 のドレインと高位側電源 VDD 間に接続されたスイッチ 1042 と、P チャネル MOS トランジスタ 1021 のゲートにゲートが共通接続され（共通接続点ノードを V20 とする）、ドレインがスイッチ 1043 を介して低位側電源 VSS に接続された P チャネル MOS トランジスタ 1022 を備え、N チャネル MOS トランジスタ 1012 のソースと P チャネル MOS トランジスタ 1022 のソースは共通接続され、出力端子 T2 に接続されている。さらに、予備充電放電手段として、出力端子 T2 と高位側電源 VDD 間に接続されたスイッチ 1044 と、出力端子 T2 と低位側電源 VSS 間に接続されたスイッチ 1034 を備えている。

【0004】図 14 (a) は、図 13 に示した従来の駆動回路のスイッチの制御動作を示すタイミング図である。図 14 (b) は、図 13 に示した従来の駆動回路の内部ノード V10、V20、出力電圧 Vout の電圧波形を示す図である。

【0005】図 13、及び図 14 を参照して、従来の駆

動回路のスイッチ制御動作について説明する。はじめに、時刻 t_0 にて、スイッチ1032、1034が、オンとされ、プリチャージモードに入る。この結果、出力電圧 V_{out} は低下する。この状態において、スイッチ1031、1032は、それぞれ、オフ、オンとされているので、トランジスタ1011、1012のゲートのバイアス電圧は電源電圧VDDである。

【0006】次に、時刻 t_1 にて、スイッチ1031、1032は、それぞれ、オン、オフとされる。この結果、トランジスタ1011の作用により、バイアス電圧は入力電圧 V_{in} からトランジスタ1011のしきい値 V_{th1011} だけずれた電圧に変化する。すなわちバイアス電圧 V_{10} は、

$$V_{10} = V_{in} + V_{th1011}$$

となる。なおトランジスタのしきい値 V_{th} はソースを基準とした電位で表すものとする。

【0007】次に、時刻 t_2 にて、スイッチ1034はオフとされ、プリチャージモードは終了し、スイッチ1033がオンされる。この状態において、トランジスタ1012はソースフォロワとして作用するので、出力電圧 V_{out} はトランジスタ1012のゲートのバイアス電圧 V_{10} よりNチャネルMOSトランジスタ1012のしきい値電圧 V_{th1012} だけずれた電圧に変化する。すなわち出力電圧 V_{out} は

$$V_{out} = V_{10} - V_{th1012}$$

$$= V_{in} + V_{th1011} - V_{th1012} \text{ となる。}$$

ここで、 $V_{th1011} \approx V_{th1012}$ であれば、 $V_{out} \approx V_{in}$ となり、出力電圧 V_{out} は入力電圧 V_{in} とほぼ等しくなる。

【0008】時刻 t_0' ($=t_3$)にて、スイッチ1042、1044がオンとされ、プリチャージモードに入る。この結果、出力電圧 V_{out} は上昇する。この状態において、スイッチ1041、1042は、それぞれ、オフ、オンとされているので、トランジスタ1021、1022のゲートのバイアス電圧 V_{20} は電源電圧VSSである。

【0009】次に、時刻 t_1' にて、スイッチ1041、1042は、それぞれ、オン、オフとされる。この結果、トランジスタ1021の作用により、バイアス電圧は入力電圧 V_{in} からPチャネルMOSトランジスタ1021のしきい値 V_{th1021} だけずれた電圧に変化する。すなわちバイアス電圧 V_{20} は、

$$V_{20} = V_{in} + V_{th1021}$$

となる。

【0010】次に、時刻 t_2' にて、スイッチ1044、1043はそれぞれ、オフ、オンとされ、プリチャージモードは終了する。この状態において、トランジスタ1022はソースフォロワとして作用するので、出力電圧 V_{out} はトランジスタ1022のゲートのバイアス電圧 V_{20} よりトランジスタ1022のしきい値電圧

V_{th1022} だけずれた電圧に変化する。すなわち、出力電圧 V_{out} は

$$V_{out} = V_{20} - V_{th1022}$$

$$= V_{in} + V_{th1021} - V_{th1022}$$

となる。ここで、PチャネルMOSトランジスタ1021、1022のしきい値電圧 $V_{th1021} \approx V_{th1022}$ であれば、 $V_{out} \approx V_{in}$ となり、出力電圧 V_{out} は入力電圧 V_{in} とほぼ等しくなる。なお、実際のLSI製造プロセスでは、MOSトランジスタのしきい値電圧は多少のばらつきをもつ場合があるが、集積回路内においてトランジスタ1011、1012、1021、1022は互いに近接させかつ同一サイズで形成することで、 $V_{th1011} \approx V_{th1012}$ 、 $V_{th1021} \approx V_{th1022}$ を比較的容易に実現することができる。このように、出力電圧 V_{out} を入力電圧 V_{in} と等しくでき、ソースフォロワとして動作することにより高い電流供給能力でデータ線DLを駆動することができる。

【0011】この駆動回路は、トランジスタ1012、1022がそれぞれソースフォロワ動作し、充電、放電に要する電流以外流れず、低消費電力であるが、出力電圧 V_{out} を速やかに入力電圧 V_{in} と等しい電圧に駆動することは難しい。これはトランジスタのソースフォロワ動作において、実際のトランジスタの多くがゲート・ソース間電圧が閾値電圧付近となるときに電流駆動能力が徐々に小さく緩やかに変化する特性を有しているため、ソースフォロワ動作においてゲート・ソース間電圧が閾値電圧付近に到達して安定するまでに長い時間がかかってしまうからである。

【0012】図15は、特開2000-338461号公報に記載されている駆動回路を示しており（同公報図9参照）、ソースフォロワ型駆動回路において電流制御を行うことで、速やかな駆動と高精度な電圧出力を可能としている。

【0013】図15を参照すると、この従来の駆動回路は、入力端子T1にスイッチ1031を介してソースが接続され、ゲートとドレインが接続されたNチャネルMOSトランジスタ1011と、NチャネルMOSトランジスタ1011のドレインと高位側電源VDD間に接続された電流源1013（電流 I_{11} ）と、NチャネルMOSトランジスタ1011のゲートにゲートが共通に接続され、ドレインがスイッチ1033を介して高位側電源VDDに接続されたNチャネルMOSトランジスタ1012を備え、NチャネルMOSトランジスタ1011、1012の共通ゲートと高位側電源VDD間に接続されたスイッチ1032を備え、入力端子T1にスイッチ1041を介してソースが接続され、ゲートとドレインが接続されたPチャネルMOSトランジスタ1021と、PチャネルMOSトランジスタ1021のドレインと低位側電源VSS間に接続された電流源1023（電

13

流 I_{21})とを備え、PチャネルMOSトランジスタ1021のゲートにゲートが共通接続され、ドレインがスイッチ1043を介して低位側電源 V_{SS} に接続されたPチャネルMOSトランジスタ1022を備え、PチャネルMOSトランジスタ1021、1022の共通ゲートは、スイッチ1042を介して低位側電源 V_{SS} に接続され、NチャネルMOSトランジスタ1012とPチャネルMOSトランジスタ1022のソースは共通接続され、出力端子T2に接続されている。さらに、予備充電放電手段として、出力端子T2と高位側電源 V_{DD} 間に接続されたスイッチ1044と、出力端子T2と低位側電源 V_{SS} 間に接続されたスイッチ1034を備えている。さらに、出力端子T2と高位側電源 V_{DD} 間にスイッチ1046と電流源1025(電流 I_{23})を備え、出力端子T2と低位側電源 V_{SS} 間にスイッチ1036と電流源1015(電流 I_{13})を備え、入力端子T1と高位側電源 V_{DD} 間にスイッチ1045と電流源1024(電流 I_{22})を備え、入力端子T1と低位側電源 V_{SS} 間にスイッチ1035と電流源1014(電流 I_{12})を備えている。出力端子T2には、図示されない容量性負荷が接続されているものとする。

【0014】図15に示した駆動回路の動作について、図16を参照して説明する。図16(a)には、例えば電圧 V_m 以下の任意のレベルの電圧を出力する1出力期間(時刻 t_0-t_3)と、電圧 V_m 以上の任意のレベルの電圧を出力する1出力期間(時刻 $t_0'-t_3'$)との2出力期間とが示されている。また、図16(b)には、トランジスタ1011、1012のゲート・ソース間電圧 $V_{gs1011}(I_{11})$ 、 $V_{gs1012}(I_{13})$ がそれぞれ等しく、トランジスタ1021、1022のゲート・ソース間電圧 $V_{gs1021}(I_{21})$ 、 $V_{gs1022}(I_{23})$ がそれぞれ等しくなるように電流 I_{11} 、 I_{13} 、 I_{21} 、 I_{23} を制御し、出力電圧 V_{out} に入力電圧 V_{in} と等しい電圧を出力する場合の電圧波形図である。なお、 $V_{gs1011}(I_{11})$ は、トランジスタ1011のドレイン電流が I_{11} のときのソースに対するゲート電圧(ゲート・ソース間電圧)である。

【0015】図16を参照すると、時刻 t_0 にスイッチ1032、1034がオンとされ、スイッチ1042、1044、1041、1045、1043、1046は全てオフとされる。ノード V_{10} は、スイッチ1032

$$V_{out}=V_{20}-V_{gs1022}(I_{23})$$

$$=V_{in}+V_{gs1021}(I_{21})-V_{gs1022}(I_{23})$$

で安定となる。ここで $V_{gs1021}(I_{21})$ と $V_{gs1022}(I_{23})$ は負の値で、共に等しくなるように電流 I_{21} 、 I_{23} を制御すれば、出力電圧 V_{out} は入力電圧 V_{in} に等しくなる。また、このとき出力電圧範囲は、

$$V_{SS}-V_{gs1022}(I_{23}) \leq V_{out} \leq V_{DD}$$

(8)

特開2003-22055

14

を介して電圧 V_{DD} にプリチャージされ、時刻 t_1 では、スイッチ1032がオフ、スイッチ1031、1035がオンし、以降、入力電圧 V_{in} からトランジスタ1011のゲート・ソース間電圧 $V_{gs1011}(I_{11})$ だけずれた電圧に変化し、

$$V_{10}=V_{in}+V_{gs1011}(I_{11})$$

で安定となる。出力電圧 V_{out} は、時刻 t_0 にスイッチ1034がオンとされると電圧 V_{SS} にプリチャージされ、時刻 t_2 でスイッチ1034がオフ、スイッチ1033、1036がオンとされると、時刻 t_2 以後、トランジスタ1012のソースフォロウ動作により電圧 V_{10} からトランジスタ1012のゲート・ソース間電圧 $V_{gs1012}(I_{13})$ だけずれた電圧に変化し、

$$V_{out}=V_{10}-V_{gs1012}(I_{13})$$

で安定となる。

【0016】ここで、 $V_{gs1011}(I_{11})$ と $V_{gs1012}(I_{13})$ は正の値で、共に等しくなるように電流 I_{11} 、 I_{13} を制御すれば、出力電圧 V_{out} は入力電圧 V_{in} と等しくなる。また、このとき出力電圧範囲は、

$$V_{SS} \leq V_{out} \leq V_{DD}-V_{gs1012}(I_{13})$$

となる。

【0017】時刻 $t_0'-t_3'$ の場合、時刻 t_0' にスイッチ1042、1044がオンとされ、スイッチ1032、1034、1031、1035、1033、1036は全てオフとされる。電圧 V_{20} は、スイッチ1042を介して電圧 V_{SS} にプリチャージされ、時刻 t_1' では、スイッチ1042がオフ、スイッチ1041、1045がオンし、以降、入力電圧 V_{in} からトランジスタ1021のゲート・ソース間電圧 $V_{gs1021}(I_{21})$ (<0)だけずれた電圧に変化し、

$$V_{20}=V_{in}+V_{gs1021}(I_{21})$$

で安定となる。

【0018】出力電圧 V_{out} は、時刻 t_0' にスイッチ1044がオンとされると電圧 V_{DD} にプリチャージされ、時刻 t_2' でスイッチ1044がオフ、スイッチ1043、1046がオンとされると、時刻 t_2' 以後、トランジスタ1022のソースフォロウ動作により電圧 V_{20} からトランジスタ1022のゲート・ソース間電圧 $V_{gs1022}(I_{23})$ (<0)だけずれた電圧に変化し、

【0019】図15に示した構成の場合、スイッチ1031、1035はタイミング $t_1 \sim t_3$ 、スイッチ1033、1036はタイミング $t_2 \sim t_3$ にオン、スイッチ1041、1045は $t_1' \sim t_3'$ 、スイッチ1043、1046はタイミング $t_2' \sim t_3'$ にオンとなるため、ほぼ定常的に動作維持電流を流しており、静消

50

15

費電力が生じる点で、改良の余地があることを、本発明者は知見した。

【0020】図17は、特開2000-338461号公報に記載されている駆動回路を示している（同公報図12参照）。図15に示した構成よりも、素子数やスイッチング制御信号の数を減らしている。

【0021】図17を参照すると、この駆動回路は、図15に示した駆動回路の構成から、電流制御回路1014、1024、及びスイッチ1035、1045を取り去り、新たにPチャネルMOSトランジスタ1016、及びNチャネルMOSトランジスタ1026を付加した回路である。PチャネルMOSトランジスタ1016は、ソース、ドレインを、それぞれNチャネルMOSトランジスタ1011のゲート（ドレイン）、ソースに接続され、ゲートには電圧BIASPが与えられ、NチャネルMOSトランジスタ1026は、ソース、ドレインをそれぞれPチャネルMOSトランジスタ1021のゲート（ドレイン）、ソースに接続され、ゲートは電圧BIASNが与えられる。電圧BIASPは、PチャネルMOSトランジスタ1025のゲートにも供給される。電圧BIASNは、NチャネルMOSトランジスタ1015のゲートにも供給される。PチャネルMOSトランジスタ1016は、PチャネルMOSトランジスタ1013より閾値電圧が小さく、同じゲート電圧に対してPチャネルMOSトランジスタ1013より十分高い電流供給能力をもつものとし、NチャネルMOSトランジスタ1026も、NチャネルMOSトランジスタ1023より閾値電圧が小さく、同じゲート電圧に対してNチャネルMOSトランジスタ1023より十分高い電流供給能力をもつものとする。そしてNチャネルMOSトランジスタ1011、PチャネルMOSトランジスタ1013、1016で構成される回路ブロックを回路ブロック1010とし、PチャネルMOSトランジスタ1021、NチャネルMOSトランジスタ1023、1026で構成される回路ブロックを回路ブロック1020とする。PチャネルMOSトランジスタ1016は、入力信号電圧Vinが電源電圧VDD付近でNチャネルMOSトランジスタ1011がオフする状態に近いときにオンとなり、入力端子T1と電源VDD間に流れる電流源1013で制御される電流が遮断されないようにする作用をもつ。またNチャネルMOSトランジスタ1026は、入力信号電圧Vinが電源電圧VSS付近でPチャネルMOSトランジスタ1021がオフする状態に近いときにオンとなり、入力端子T1と電源VSS間に流れる電流源1023で制御される電流が遮断されないようにする作用をもつ。したがって図16におけるt0～t3では回路ブロック1020及びスイッチ1041は図15の電流源1014とスイッチ1035と同様の作用を行わせることができ、図16におけるt0'～t3'では回路ブロック1010及びスイッチ1031は図1

(9)

特開2003-22055

16

5の電流源1024とスイッチ1045と同様の作用を行わせることができる。これにより図17の電圧波形図は図16(b)と同様の駆動が可能である。

【0022】図17に示した回路においても、図15に示した駆動回路と同様、ほぼ定常的に動作維持電流を流しており、静消費電力が生じ、改良の余地があることを、本発明者は知見した。

【0023】

【発明が解決しようとする課題】したがって、この発明が解決しようとする課題は、フォロウ動作の駆動回路において、消費電力の低減を図りながら、高精度出力を可能とする駆動回路並びに該駆動回路を備えた液晶表示装置を提供することにある。

【0024】

【課題を解決するための手段】上記課題を解決するための手段を提供する本発明に係る駆動回路は、その一つのアスペクトによれば、出力端子と第1の電源間に直列形態に接続されている、フォロウ構成のトランジスタ及び第1のスイッチと、前記出力端子と第2の電源間に直列形態に接続されている、第1の電流源及び第2のスイッチと、入力信号電圧に基づき前記フォロウ構成のトランジスタに入力バイアス電圧を供給するバイアス制御手段と、を備え、データ出力期間の一のタイミングで、前記第1のスイッチをオンして、前記トランジスタをフォロウ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定されるある電圧付近まで駆動し、該一のタイミングの後のタイミングで、前記第2のスイッチをオンして前記第1及び第2のスイッチをともにオン状態とし、前記後のタイミングより、前記入力信号電圧に対応して規定される前記ある電圧まで駆動する構成とされている。

【0025】他のアスペクトによれば、本発明に係る駆動回路は、出力端子と高電位電源間に直列形態に接続されている、ソースフォロウ構成の第1導電型の第1のMOSトランジスタ及び第1のスイッチと、前記出力端子と低電位電源間に直列形態に接続されている、第1の電流源及び第2のスイッチと、入力信号電圧に基づき前記第1のMOSトランジスタにゲートバイアス電圧を供給する第1のゲートバイアス制御手段と、を備え、データ出力期間の一のタイミングで、前記第1のスイッチをオンして、前記第1のMOSトランジスタをソースフォロウ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定されるある電圧付近まで駆動し、前記一のタイミングの後のタイミングで、前記第2のスイッチをオンして前記第1及び第2のスイッチをともにオン状態とする手段を備え、前記第1のMOSトランジスタのドレイン電流を制御する前記後のタイミングより、前記入力信号電圧に対応して規定されるある電圧まで駆動する。

【0026】また本発明に係る駆動回路は、出力端子と低電位電源間に直列形態に接続されている、ソースフォ

17

ロウ構成の第2導電型の第2のMOSトランジスタ及び第3のスイッチと、前記出力端子と高電位電源間に直列形態に接続されている、第2の電流源及び第4のスイッチと、入力信号電圧に基づき前記第2のMOSトランジスタにゲートバイアス電圧を供給する第2のゲートバイアス制御手段と、を備え、データ出力期間の一のタイミングで、前記第3のスイッチをオンして、前記第2のMOSトランジスタをソースフォロウ動作させ、前記出力端子電圧を前記入力信号電圧に対応して規定されるある電圧付近まで駆動し、前記一のタイミングの後のタイミングで、前記第4のスイッチをオンし、前記第3及び第4のスイッチをオン状態とする手段を備え、前記第2のMOSトランジスタのドレイン電流を制御する前記後のタイミングより、前記入力信号電圧に対応して規定されるある電圧まで駆動する。

【0027】本発明において、前記第1のゲートバイアス制御手段は、ドレインとゲートが、前記第1のMOSトランジスタのゲートと共通接続され、ソースが第5のスイッチを介して前記入力端子に接続された第1導電型の第3のMOSトランジスタを備え、前記第3のMOSトランジスタのドレインと前記高位側電源間に直列形態に接続されている、第3の電流源及び第6のスイッチと、前記入力端子と第5のスイッチの接続点と前記低位側電源間に直列形態に接続されている、第4の電流源及び第7のスイッチと、前記第1、第3のMOSトランジスタのゲートの共通接続点と前記高位側電源間に接続された第8のスイッチと、を備えている。

【0028】本発明において、前記第2のゲートバイアス制御手段は、ドレインとゲートが前記第2のMOSトランジスタのゲートと共通接続され、ソースが、第9のスイッチを介して前記入力端子に接続された第2導電型の第4のMOSトランジスタを備え、前記第4のMOSトランジスタのドレインと低位側電源間に直列形態に接続されている、第5の電流源及び第10のスイッチと、前記入力端子と前記第9のスイッチの接続点と前記高位側電源間に直列形態に接続されている、第6の電流源及び第11のスイッチと、前記第2、第4のMOSトランジスタのゲートの共通接続点と前記低位側電源間に接続された第12のスイッチと、を備えている。

【0029】

【発明の実施の形態】発明の実施の形態について説明する。図1は、本発明の一実施の形態に係る駆動回路の基本構成を示す図である。図1を参照すると、出力端子(T2)と電源(VDD)間に直列形態に接続されている、フォロウ構成のトランジスタ(111)及びスイッチ(131)と、出力端子(T2)と電源(VSS)間に直列形態に接続されている、電流源(113)及びスイッチ(132)と、入力信号電圧に基づきトランジスタ(111)にバイアス電圧を供給するバイアス制御手段(11)と、を備えている。データ出力期間の一のタ

(10)

特開2003-22055

18

イミングで、スイッチ(131)をオンして、トランジスタ(111)をフォロウ動作させ、出力端子電圧Voutを入力信号電圧Vinに対応して規定されるある電圧付近まで駆動し、一のタイミングの後のタイミングで、スイッチ(132)をオンし(スイッチ(131)もオン)、後のタイミングより入力信号電圧Vinに対応して規定される、該ある電圧まで駆動する。

【0030】さらに、出力端子(T2)と電源(VSS)間に直列形態に接続されている、フォロウ構成のトランジスタ(121)及びスイッチ(141)と、出力端子(T2)と電源(VDD)間に直列形態に接続されている、電流源(123)及びスイッチ(142)と、入力信号電圧に基づきトランジスタ(121)にバイアス電圧を供給するバイアス制御手段(12)と、を備えている。データ出力期間の一のタイミングで、スイッチ(141)をオンして、トランジスタ(121)をフォロウ動作させ、出力端子電圧Voutを入力信号電圧Vinに対応して規定されるある電圧付近まで駆動し、一のタイミングの後のタイミングで、スイッチ(142)をオンし(スイッチ(141)もオン)、後のタイミングより入力信号電圧Vinに対応して規定される、該ある電圧まで駆動する。

【0031】より詳細には、この実施の形態に係る駆動回路は、高位側電源(VDD)と出力端子(T2)との間に直列形態に接続されている、ソースフォロウ構成の第1導電型のトランジスタ(111)及び第1のスイッチ(131)と、低位側電源(VSS)と出力端子(T2)との間に直列形態に接続されてなる第1の電流源(113)及び第2のスイッチ(132)と、出力端子(T2)と低位側電源(VSS)との間に直列形態に接続されてなる、ソースフォロウ構成の第2導電型のトランジスタ(121)及び第3のスイッチ(141)と、高位側電源(VDD)と出力端子(T2)との間に直列形態に接続されてなる、第2の電流源(123)及び第4のスイッチ(142)と、入力端子(T1)から入力信号電圧Vinを入力し、第1導電型のトランジスタ(111)のゲートのバイアス電圧を制御する第1のゲートバイアス制御手段(11)と、入力信号電圧Vinを入力し、第2導電型のトランジスタ(121)のゲートのバイアス電圧を制御する第2のゲートバイアス制御手段(12)と、出力端子(T2)を予備充電または予備放電する予備充放電手段(13)と、を備えている。なお第1のゲートバイアス制御手段(11)は、第1導電型のトランジスタ(111)のゲートに供給するバイアス電圧と入力信号電圧Vinに対応して規定される所望の電圧との電圧差が、第1導電型のトランジスタ(111)に第1の電流源(113)で制御される電流が流れるときのゲート・ソース間電圧と等しくなるようなバイアス電圧を供給できるものとする。また第2のゲートバイアス制御手段(12)は、第2導電型のトランジ

タ(121)のゲートに供給するバイアス電圧と入力信号電圧 V_{in} に対応して規定される所望の電圧との電圧差が、第2導電型のトランジスタ(121)に第2の電流源(123)で制御される電流が流れるときのゲート・ソース間電圧と等しくなるようなバイアス電圧を供給できるものとする。

【0032】この実施の形態において、トランジスタ(111、121)のソースフォロワ駆動において、トランジスタ(111、121)のドレイン電流を制御する期間と遮断する期間(スイッチ(132、142)をオフする期間)を設け、遮断期間の消費電力を削減する。

【0033】低電位レベルの入力信号電圧 V_{in} が入力される一データの出力期間において、第1のタイミング期間(図2の時刻 $t_0 \sim t_1$)で、第1乃至第4のスイッチ(131、132、141、142)はすべてオフとされ、出力端子(T2)を予備充電手段(13)で所望の電圧以下の電圧に予備放電する。

【0034】第2のタイミング期間(図2の時刻 $t_1 \sim t_2$)で、予備放電を停止し、第1のスイッチ(131)をオンする。これにより第1導電型のトランジスタ(111)のソースフォロワ動作が可能となり、出力端子(T2)を所望の電圧付近まで引き上げることができる。なおこの期間は高位電源(VDD)から低位電源(VSS)に貫通電流は流れないため静消費電力は生じない。またこの期間では必ずしも速やかに電圧を確定しなくてもよいため、第1導電型のトランジスタ(111)は、そのゲート・ソース間電圧が閾値電圧付近で電流駆動能力が十分小さく緩やかに変化する特性を有するものでもよい。

【0035】第3のタイミング期間(図2の時刻 $t_2 \sim t_3$)で、第1のスイッチ(131)をオン状態としたまま、第2のスイッチ(132)をオンとする。これにより第1導電型のトランジスタ(111)のソースフォロワ動作は、第1導電型のトランジスタ(111)のドレイン電流が第1の電流源(113)により制御される電流と等しくなるところで速やかに安定し、出力端子(T2)を所望の電圧に高精度に駆動することができる。

【0036】また、高電位レベルの入力信号電圧 V_{in} が入力される別の出力期間において、第1のタイミング期間(図2の時刻 $t_0' \sim t_1'$)で、第1乃至第4のスイッチはすべてオフとされ、出力端子(T2)を予備充電手段(13)で所望の電圧以上の電圧に予備充電する。

【0037】第2のタイミング期間(図2の時刻 $t_1' \sim t_2'$)で、予備充電手段(13)で予備充電を停止し、第3のスイッチ(141)をオンする。これにより第2導電型のトランジスタ(121)のソースフォロワ動作が可能となり、出力端子(T2)を所望の電圧付

近まで引き下げることができる。なおこの期間は高位電源(VDD)から低位電源(VSS)に貫通電流は流れない。またこの期間では必ずしも速やかに電圧を確定しなくてもよいため、第2導電型のトランジスタ(121)は、そのゲート・ソース間電圧が閾値電圧付近で電流駆動能力が十分小さく緩やかに変化する特性を有するものでもよい。

【0038】第3のタイミング期間(図2の時刻 $t_2' \sim t_3'$)で、第3のスイッチ(141)をオン状態としたまま、第4のスイッチ(142)をオンとする。これにより第2導電型のトランジスタ(121)のソースフォロワ動作は、第2導電型のトランジスタ(121)のドレイン電流が第2の電流源(123)により制御される電流と等しくなるところで速やかに安定し、出力端子(T2)を所望の電圧に高精度に駆動することができる。

【0039】この実施の形態の駆動回路においては、スイッチ(132)(142)がオフとされる遮断期間においても、トランジスタ(111)(121)のソースフォロワ動作が行われるため、この間、静消費電力を消費せずに、所望の電圧付近まで駆動することができ、その後、トランジスタのドレイン電流を制御する期間に、所望の電圧まで高い電圧精度で駆動することができる。このため、高い出力精度を保ちながら、図15、図17等を参照して説明した従来の駆動回路よりも、消費電力を低減することができる。

【0040】この実施の形態の駆動回路において、第1の電流源(113)及び第2の電流源(123)で制御する電流は、第3のタイミング期間(図2の時刻 $t_2 \sim t_3$ 及び時刻 $t_2' \sim t_3'$)において第1導電型のトランジスタ(111)及び第2導電型のトランジスタ(121)のソースフォロワ動作により出力端子(T2)が速やかに所望の電圧に駆動することのできる電流レベルであればよく、低い電流レベルに抑えて消費電力を小さくすることができる。

【0041】この実施の形態の駆動回路において、第1のゲートバイアス制御手段(11)は、好ましくは、図3を参照すると、ドレインとゲートが、前記第1のMOSトランジスタ(111)のゲートと共通接続され、ソースが第5のスイッチ(133)を介して入力端子(T1)に接続された第1導電型の第3のMOSトランジスタ(112)と、第3のMOSトランジスタ(112)のドレインと高位側電源(VDD)間に直列形態に接続されている、第3の電流源(114)及び第6のスイッチ(134)と、入力端子(T1)と第5のスイッチ(133)の接続点と低位側電源(VSS)間に直列形態に接続されている、第4の電流源(115)及び第7のスイッチ(135)と、第1、第3のMOSトランジスタ(111、112)のゲートの共通接続点と高位側電源(VDD)間に接続された第8のスイッチ(13

6) と、を備えている。

【0042】この実施の形態の駆動回路において、第2のゲートバイアス制御手段(12)は、ドレインとゲートが前記第2のMOSトランジスタ(121)のゲートと共通接続され、ソースが、第9のスイッチ(143)を介して入力端子(T1)に接続された第2導電型の第4のMOSトランジスタ(122)と、第4のMOSトランジスタのドレインと低位側電源(VSS)間に直列形態に接続されている、第5の電流源(124)及び第10のスイッチ(144)と、入力端子(T1)と第9のスイッチ(143)の接続点と高位側電源(VDD)間に直列形態に接続されている、第6の電流源(125)及び第11のスイッチ(145)と、第2、第4のMOSトランジスタ(121、122)のゲートの共通接続点と低位側電源(VSS)間に接続された第12のスイッチ(146)と、を備えている。

【0043】この実施の形態の駆動回路のスイッチ制御において、入力信号電圧 V_{in} が低電位データのデータ出力期間は、図4を参照すると、4つの期間よりなり、第1のタイミング期間(時刻 $t_0 \sim t_1$)では出力端子(T2)を所望の電圧以下に予備放電し、第8のスイッチ(136)をオンし、残りの第1乃至第7、第9乃至第12のスイッチはオフ状態とされる。第8のスイッチ(136)がオンされることにより、第1導電型の第1のMOSトランジスタ(111)及び第3のMOSトランジスタ(112)の共通ゲートは高位電源(VDD)に充電される。

【0044】第2のタイミング期間(時刻 $t_1 \sim t_2$)では、引き続き出力端子(T2)を予備放電し、第8のスイッチ(136)がオフされ、第5のスイッチ(133)がオンされる。これにより第3のMOSトランジスタ112の作用で、第1のMOSトランジスタ(111)のゲートバイアス電圧は、入力信号電圧 V_{in} より第3のMOSトランジスタ(112)の閾値電圧だけずれた電圧となる。

【0045】第3のタイミング期間(時刻 $t_2 \sim t_3$)では、出力端子(T2)の予備放電は終了し、第1のスイッチ(131)がオンされ、第5のスイッチ(133)はオン状態とされる。これにより第1導電型の第1のMOSトランジスタ(111)のソースフォロワ動作が可能となり、出力端子(T2)をゲートバイアス電圧から第1のMOSトランジスタ(111)の閾値電圧だけずれた電圧に引き上げる。

【0046】第4のタイミング期間(時刻 $t_3 \sim t_4$)では、第2のスイッチ(132)がオンされ、第1のスイッチ(131)と、第5のスイッチ(133)はオン状態とされ、前記第6のスイッチ(134)、前記第7のスイッチ(135)がオンされる。これにより第3のMOSトランジスタには第3の電流源(114)で制御される電流が流れ、それにより第3のMOSトランジス

タのゲート・ソース間電圧は定まり、第1のMOSトランジスタ(111)へのゲートバイアス電圧は、入力信号電圧 V_{in} より第3のMOSトランジスタ(112)のゲート・ソース間電圧だけずれた電圧となる。また第1のMOSトランジスタ(111)のソースフォロワ動作は、ゲートバイアス電圧から第1のMOSトランジスタ(111)のゲート・ソース間電圧だけずれた電圧に出力端子(T2)を速やかに引き上げて安定する。このときの第1のMOSトランジスタ(111)のゲート・ソース間電圧は、第1の電流源(113)により制御される電流 I_{13} により定まる。したがって第1の電流源(113)及び第3の電流源(114)の電流を最適に設定することにより入力信号電圧 V_{in} に応じた所望の電圧を出力端子(T2)に出力することができる。簡単には、第1のMOSトランジスタ(111)と第3のMOSトランジスタ(112)のそれぞれのゲート・ソース間電圧が等しくなるように第1の電流源(113)及び第3の電流源(114)の電流を設定すれば、入力信号電圧 V_{in} と等しい電圧を出力端子(T2)に出力することができる。

【0047】入力信号電圧が高電位データのデータ出力期間は、4つの期間よりなり、第1のタイミング期間(時刻 $t_0' \sim t_1'$)では出力端子(T2)を所望の電圧以上に予備充電し、第12のスイッチ(146)をオンし、残りの第1乃至第11のスイッチがオフ状態とされる。第12のスイッチ(146)がオンされることにより、第2導電型の第2のMOSトランジスタ(121)及び第4のMOSトランジスタ(122)の共通ゲートは低位電源(VSS)に放電される。

【0048】第2のタイミング期間(時刻 $t_1' \sim t_2'$)では、引き続き出力端子(T2)を予備充電し、第12のスイッチ(146)がオフされ、第9のスイッチ(143)がオンされる。これにより第4のMOSトランジスタ(122)の作用で、第2のMOSトランジスタ(121)のゲートバイアス電圧は、入力信号電圧 V_{in} より第4のMOSトランジスタ(122)の閾値電圧だけずれた電圧となる。

【0049】第3のタイミング期間(時刻 $t_2' \sim t_3'$)では、出力端子(T2)の予備充電は終了し、第3のスイッチ(141)がオンされ、第9のスイッチ(143)はそのままオン状態とされる。これにより第2導電型の第2のMOSトランジスタ(121)のソースフォロワ動作が可能となり、出力端子(T2)をゲートバイアス電圧から第2のMOSトランジスタ(121)の閾値電圧だけずれた電圧まで引き下げる。

【0050】第4のタイミング期間(時刻 $t_3' \sim t_4'$)では、第4のスイッチ(142)がオンされ、第3のスイッチ(141)と第9のスイッチ(143)はそのままオン状態とされ、第10のスイッチ(144)、第11のスイッチ(145)がオンされる。これ

10

20

30

40

50

により第4のMOSトランジスタ(122)には第5の電流源(124)で制御される電流が流れ、それにより第4のMOSトランジスタ(122)のゲート・ソース間電圧は定まり、第2のMOSトランジスタ(121)へのゲートバイアス電圧は、入力信号電圧 V_{in} より第4のMOSトランジスタ(122)のゲート・ソース間電圧だけずれた電圧となる。また第2のMOSトランジスタ(121)のソースフォロウ動作は、ゲートバイアス電圧から第2のMOSトランジスタ(121)のゲート・ソース間電圧だけ高い電圧に出力端子(T2)を速やかに引き下げて安定する。このときの第2のMOSトランジスタ(121)のゲート・ソース間電圧は、第2の電流源(123)により制御される電流 I_{23} により定まる。したがって第2の電流源(123)及び第5の電流源(124)の電流を最適に設定することにより入力信号電圧 V_{in} に応じた所望の電圧を出力端子(T2)に出力することができる。簡単には、第2のMOSトランジスタ(121)と第4のMOSトランジスタ(122)のそれぞれのゲート・ソース間電圧が等しくなるように第2の電流源(123)及び第5の電流源(124)の電流を設定すれば、入力信号電圧 V_{in} と等しい電圧を出力端子(T2)に出力することができる。この実施の形態の第1のゲートバイアス制御手段(11)及び第2のゲートバイアス手段(12)において、第4の電流源(115)は第3の電流源(114)と等しい電流に制御し、第6の電流源(125)は第5の電流源(124)と等しい電流に制御する。これにより入力端子(T1)から十分な電流供給ができない場合でも、第4のタイミング期間(図4の(時刻 $t_3 \sim t_4$)及び(時刻 $t_3' \sim t_4'$))に、入力信号電圧 V_{in} に対して第1のMOSトランジスタ(111)及び第2のMOSトランジスタ(121)へのゲートバイアス電圧を速やかに与えることができる。尚、入力端子(T1)から十分な電流供給が可能な場合には、入力信号電圧 V_{in} に対して第1のMOSトランジスタ(111)及び第2のMOSトランジスタ(121)へのゲートバイアス電圧を速やかに与えることができるので、第4の電流源(115)、第7のスイッチ(135)及び第6の電流源(125)及び第11のスイッチ(145)は設けなくてもよい。この実施の形態の駆動回路の予備充電手段(13)の制御において、出力端子(T2)の予備放電又は予備充電は、第1のタイミング期間(図4の時刻 $t_0 \sim t_1$ 及び時刻 $t_0' \sim t_1'$)及び第2のタイミング期間(図4の時刻 $t_1 \sim t_2$ 及び時刻 $t_1' \sim t_2'$)の両方で行っているが、第1のタイミング期間と第2のタイミング期間のどちらか一方だけでもよい。

【0051】この実施の形態に係る駆動回路は、図15、図17等にした駆動回路と比べて、特段の低消費電力化を実現するとともに、高精度の電圧出力を実現し

ており、アクティブマトリクス型表示装置のデータ線駆動回路(図12の100)に適用して好適とされ、特に、バッテリー駆動の携帯端末の液晶表示装置等に適用して好適とされる。

【0052】

【実施例】上記した実施の形態についてさらに詳細に説明すべく、本発明を、具体的に適用した各種実施例を示す図面を参照して詳細に説明する。

【0053】図1は、本発明の一実施例をなす駆動回路の回路構成を示す図である。この実施例の駆動回路は、フォロウ構成の出力段トランジスタを有し、入力信号電圧 V_{in} と等しい電圧を出力電圧 V_{out} として出力する駆動回路である。

【0054】より詳細には、図1を参照すると、この駆動回路は、ドレインがスイッチ131を介して高位側電源VDDに接続され、ソースが出力端子T2に接続されたNチャネルMOSトランジスタ111と、ドレインがスイッチ141を介して低位側電源VSSに接続され、ソースが出力端子T2に接続されたPチャネルMOSトランジスタ121と、出力端子T2と低位側電源VSSに直列に接続された電流源113とスイッチ132と、出力端子T2と高位側電源VDDに直列に接続された電流源123とスイッチ142とを備え、入力電圧 V_{in} を受けて出力電圧 V_{out} が入力電圧 V_{in} と等しくなるようにゲート電圧を制御するゲートバイアス制御手段11、12と、出力端子T2を入力信号電圧 V_{in} に応じて、予備充電または予備放電する予備充電手段13と、を備えている。ゲートバイアス制御手段11は、トランジスタ111のゲートに供給するバイアス電圧と入力電圧 V_{in} との電圧差が、トランジスタ111に電流源113で制御される電流が流れるときのゲート・ソース間電圧と等しくなるようなバイアス電圧を供給できる。また第2のゲートバイアス制御手段12は、トランジスタ121のゲートに供給するバイアス電圧と入力電圧 V_{in} との電圧差が、トランジスタ121に電流源123で制御される電流が流れるときのゲート・ソース間電圧と等しくなるようなバイアス電圧を供給できる。なお、出力端子T2と低位側電源VSS間に直列接続されるスイッチ132と電流源113の順番、出力端子T2と電源VDD間に直列形態に接続されているスイッチ142と電流源123の順番は任意でよく、また、トランジスタ111のドレインを電源VDDに接続し、そのソースと出力端子T2間にスイッチ131を接続する構成としてもよく、トランジスタ112のドレインを電源VSSに接続し、そのソースと出力端子T2間にスイッチ141を接続する構成としてもよい。

【0055】図2は、図1に示した駆動回路のスイッチの制御動作を示す図であり、1データ出力期間を3つの駆動期間で構成した例である。図1及び図2を参照して、本発明の一実施例の制御動作について説明する。

【0056】入力電圧レベル V_{in} が低電位レベルのときには、期間 $t_0 \sim t_1$ において、予備充電手段13は、出力端子T2を入力信号電圧 V_{in} 以下の電圧に予備放電し、スイッチ131、132、141、142は全てオフとする。

【0057】期間 $t_1 \sim t_2$ では、予備充電手段13を停止し、スイッチ131のみオンとすることにより、NチャネルMOSトランジスタ111のソースフォロウ動作により、出力電圧は V_{in} 付近まで駆動される。この間、静消費電力は生じない。

【0058】期間 $t_2 \sim t_3$ では、スイッチ132をオンし、スイッチ131、132がともにオンすることにより、トランジスタ111に電流源113で制御する電流が流れることにより、トランジスタ111のゲート・ソース間電圧が速やかに確定し、高精度出力を実現する。

【0059】入力電圧レベル V_{in} が高電位レベルのときには、期間 $t_0' \sim t_1'$ において、予備充電手段13は出力端子T2を入力信号電圧 V_{in} 以上の電圧に予備充電し、スイッチ131、132、141、142は

全てオフとする。

【0060】期間 $t_1' \sim t_2'$ では予備充電手段13を停止し、スイッチ141のみオンとすることにより、PチャネルMOSトランジスタ121のソースフォロウ動作により出力電圧は V_{in} 付近まで駆動される。期間 $t_1' \sim t_2'$ では静消費電力は生じない。期間 $t_2' \sim t_3'$ では、スイッチ142をオンし、スイッチ141、142がともにオンすることにより、トランジスタ121に電流源123で制御する電流が流れることにより、トランジスタ121のゲート・ソース間電圧が速やかに確定し、高精度出力を実現する。

【0061】上記したスイッチの制御動作は、駆動回路を制御するスイッチ制御回路（図1では図示されない、図12のスイッチ制御手段101参照）により制御される。スイッチ制御回路の回路構成は、図2の機能仕様を満たすものであればその回路構成は任意である。

【0062】この実施例においては、例えば携帯電話用TFT（thin film transistor）-LCD（液晶表示装置）など解像度の低いパネル用のデータ線駆動回路のように1データ出力期間が比較的長い場合には、期間 $t_0 \sim t_2$ 、期間 $t_0' \sim t_2'$ を長く設け、1データ出力期間の画素への書き込み電圧を最終的に確定するセトリング時間を期間 $t_2 \sim t_3$ 及び期間 $t_2' \sim t_3'$ に割り当てることにより、画素書き込み電圧を高精度に行うとともに消費電力を大幅に削減することができる。

【0063】図3は、図1に示した本発明の一実施例の駆動回路におけるゲートバイアス制御手段11、12のそれぞれの構成の一例を示す図である。図3を参照すると、ゲートバイアス制御手段11は、ドレインとゲートがトランジスタ111のゲートと共通接続され、ソース

がスイッチ133を介して入力端子T1に接続されたNチャネルMOSトランジスタ112を備え、NチャネルMOSトランジスタ112のドレインに一端が接続された電流源114と、電流源114の他端と電源VDD間に接続されるスイッチ134と、入力端子T1とスイッチ133の接続点に一端が接続された電流源115と、電流源115の他端と電源VSS間に接続されるスイッチ135と、NチャネルMOSトランジスタ111、112のゲートの共通接続点と電源VDD間に接続されたスイッチ136を備えて構成されている。

【0064】ゲートバイアス制御手段12は、ドレインとゲートがトランジスタ121のゲートと共通接続され、ソースがスイッチ143を介して入力端子T1に接続されたPチャネルMOSトランジスタ122を備え、PチャネルMOSトランジスタ122のドレインに一端が接続された電流源124と、電流源124の他端と電源VSS間に接続されるスイッチ144と、入力端子T1とスイッチ143との接続点に一端が接続された電流源125と、電流源125の他端と電源VDD間に接続されるスイッチ145と、PチャネルMOSトランジスタ121、122のゲートの共通接続点と電源VSS間に接続されたスイッチ146を備えて構成されている。なお、図3において、予備充電手段13、スイッチ131、132、141、142、電流源113、123、トランジスタ111、121は、図1に示した構成と同様である。

【0065】図4は、図3に示した駆動回路のスイッチ制御動作を表形式にまとめた図である。すなわち図4に示す制御動作の例は、1データ出力期間を4つの駆動期間で構成したものであり、図4（a）は、低電位レベルの1データ出力期間、図4（b）は高電位レベルの1データ出力期間のスイッチのオン、オフが表形式で示されている。図4を参照して、ゲートバイアス制御手段11、12の動作について説明する。

【0066】入力電圧レベル V_{in} が低電位レベルのときには、時間 $t_0 \sim t_1$ において、スイッチ136のみオンとし、トランジスタ111、112のゲートを高電位側電源VDDに充電する。

【0067】時間 $t_1 \sim t_2$ で、スイッチ136をオフ、スイッチ133をオンとすると、トランジスタ111、112のゲートは、トランジスタ112のゲート・ソース間電圧が閾値電圧となるように変化する。

【0068】時間 $t_2 \sim t_3$ に、スイッチ131をオンとして、トランジスタ111をソースフォロウ動作させると、トランジスタ111も予備放電された出力端子T2の電圧を引き上げて、ゲート・ソース間電圧が閾値電圧付近となる電圧までに変化するため、出力電圧 V_{out} は、 V_{in} 付近まで駆動される。

【0069】時間 $t_3 \sim t_4$ で、スイッチ132、133、134、135をオンとしたとき、トランジスタ1

11、112のゲート・ソース間電圧が等しくなるように、電流源113、114、115が設定されていれば、出力電圧 V_{out} は速やかに V_{in} と等しい電圧に駆動される。

【0070】入力電圧レベル V_{in} が高電位レベルのときには、時間 $t_0' \sim t_1'$ にスイッチ146のみオンとし、トランジスタ121、122のゲートを低位側電源 V_{SS} に放電する。

【0071】時間 $t_1' \sim t_2'$ で、スイッチ146をオフ、スイッチ143をオンとすると、トランジスタ121、122のゲートは、トランジスタ122のゲート・ソース間電圧が閾値電圧となるように変化する。

【0072】時間 $t_2' \sim t_3'$ に、スイッチ141をオンとしてトランジスタ121をソースフォロワ動作させると、トランジスタ121も予備充電された出力端子T2の電圧を引き下げて、ゲート・ソース間電圧が閾値電圧付近となる電圧までに変化するため、出力電圧 V_{out} は、 V_{in} 付近まで駆動される。

【0073】時間 $t_3' \sim t_4'$ で、スイッチ142、143、144、145をオンとしたとき、トランジスタ121、122のゲート・ソース間電圧が等しくなるように、電流源123、124、125が設定されていれば、出力電圧 V_{out} は速やかに V_{in} と等しい電圧に駆動される。なお、図4において、スイッチ133、143、スイッチ134、144、スイッチ135、145、スイッチ136、146のそれぞれのスイッチのペアは同じタイミングで動作させてもよい。

【0074】図5は、図1、及び図3における駆動回路の予備充放電手段（プリチャージ手段）13の構成の一例を示す図である。図5には、出力端子を電源電圧 V_D または V_{SS} に予備充電または予備放電する構成として、出力端子T2と高位側電源 V_{DD} 間に接続されたスイッチ202と、出力端子T2と低位側電源 V_{SS} 間に接続されたスイッチ201と、を備えた構成が示されている。

【0075】予備放電では、スイッチ201のオンで出力端子T2は低位側電源電圧 V_{SS} に放電され（図2のタイミング $t_0 \sim t_1$ 、図4（a）のタイミング $t_0 \sim t_2$ ）、予備充電では、スイッチ202のオンにより出力端子T2は高位側電源電圧 V_{DD} に充電される（図2のタイミング $t_0' \sim t_1'$ 、図4（b）のタイミング $t_0' \sim t_2'$ ）。

【0076】図6は、本発明の別の実施例の構成を示す図である。図6において、図1と同一の要素には、同一の参照番号が付されている。図6を参照すると、この駆動回路は、入力端子T1にスイッチ133を介してソースが接続され、ゲートとドレインを接続したNチャネルMOSトランジスタ112と、NチャネルMOSトランジスタ112のドレインと、高電位電源 V_{DD} 間には、スイッチ134と、定電流源114（PチャネルMOS

トランジスタ）を備え、高位側電源 V_{DD} にスイッチ131を介してドレインが接続され、ゲートが、NチャネルMOSトランジスタ112のゲートに共通接続され、ソースが出力端子T2に接続されたNチャネルMOSトランジスタ111と、を備え、NチャネルMOSトランジスタ111、112の共通ゲートは、スイッチ136を介して高位側電源 V_{DD} に接続され、入力端子T1と高位側電源 V_{DD} にはスイッチ145と定電流源125が直列に接続されており、出力端子T2と高位側電源 V_{DD} にはスイッチ142と定電流源123が直列に接続されており、さらに出力端子T2と高位側電源 V_{DD} には予備充電手段をなすスイッチ202が設けられている。

【0077】入力端子T1にスイッチ143を介してソースが接続され、ゲートとドレインを接続したPチャネルMOSトランジスタ122を備え、PチャネルMOSトランジスタ122のドレインと、低位側電源 V_{SS} 間には、スイッチ144と、定電流源124（NチャネルMOSトランジスタ）を備え、低位側電源 V_{SS} にスイッチ141を介してドレインが接続され、ゲートが、PチャネルMOSトランジスタ122のゲートに共通接続され、ソースが出力端子T2に接続されたPチャネルMOSトランジスタ121と、を備え、PチャネルMOSトランジスタ121、122の共通ゲートは、スイッチ146を介して低位側電源 V_{SS} に接続され、入力端子T1と低位側電源 V_{SS} にはスイッチ115と定電流源135が直列に接続されており、出力端子T2と低位側電源 V_{SS} にはスイッチ132と定電流源113が直列に接続されており、さらに出力端子T2と低位側電源 V_{SS} には予備放電手段をなすスイッチ201が設けられている。

【0078】トランジスタ125、114、123のゲートはバイアス電圧源 B_{IASP} に接続されており、トランジスタ115、124、113のゲートはバイアス電圧源 B_{IASN} に接続されている。なお、図6は、図15に示した構成に、本発明を適用したものであり、図15に示した構成とは、スイッチ131（1033）、132（1036）、141（1043）、142（1046）の制御の仕方が相違していること、及び、電流源114と高位側電源 V_{DD} 間にスイッチ134が設けられており、電流源124と低位側電源 V_{SS} 間にスイッチ144が設けられている点が相違している。

【0079】すなわち、図15に示した従来の駆動回路では、図16に示したように、入力信号が低電位のとき、スイッチ1033、1036が時刻 t_2 で同時にオンとされている。

【0080】これに対して、この実施例においては、図9のタイミング図に示すように、時刻 t_2 でスイッチ131をオンし、その後、時刻 t_3 でスイッチ132をオンしている。

【0081】図15に示した回路では、図16に示すように、入力信号が高電位の際、スイッチ1043、1046が時刻 t_2' で同時にオンとされている。

【0082】これに対して、本実施例においては、図9のタイミング図に示すように、時刻 t_2' でスイッチ141をオンし、その後、時刻 t_3' でスイッチ142をオンしている。かかるスイッチ制御により、消費電流を低減している。

【0083】また入力信号電圧が低電位の場合、電流源114と高位側電源VDD間に接続するスイッチ134も、時刻 t_3 ではじめてオンされ、トランジスタ112に電流を供給する。

【0084】入力信号電圧が高電位の場合、電流源124と低位側電源VSS間に接続するスイッチ144も、時刻 t_3' ではじめてオンされ、トランジスタ122に電流を供給する。

【0085】図7は、本発明の別の実施例の構成を示す図である。図7において、図6と同一の要素には、同一の参照番号が付されている。図7に示した駆動回路は、図6に示した駆動回路の構成から、電流源115、125、及びスイッチ135、145を取り去り、新たにPチャネルMOSトランジスタ116、及びNチャネルMOSトランジスタ126を付加した回路である。PチャネルMOSトランジスタ116は、ソース、ドレインを、それぞれNチャネルMOSトランジスタ112のゲート（ドレイン）、ソースに接続され、ゲートには電圧BIASPが与えられ、NチャネルMOSトランジスタ126は、ソース、ドレインをそれぞれPチャネルMOSトランジスタ122のゲート（ドレイン）、ソースに接続され、ゲートは電圧BIASNが与えられる。電圧BIASPは、電流源をなすPチャネルMOSトランジスタ123のゲートにも供給される。電圧BIASNは、電流源をなすNチャネルMOSトランジスタ113のゲートにも供給される。PチャネルMOSトランジスタ116は、PチャネルMOSトランジスタ114より閾値電圧が小さく、同じゲート電圧に対してPチャネルMOSトランジスタ114より十分高い電流供給能力をもつものとし、NチャネルMOSトランジスタ126も、NチャネルMOSトランジスタ124より閾値電圧が小さく、同じゲート電圧に対してNチャネルMOSトランジスタ124より十分高い電流供給能力をもつものとする。そしてNチャネルMOSトランジスタ112、PチャネルMOSトランジスタ114、116で構成される回路ブロックを回路ブロック110とし、PチャネルMOSトランジスタ122、NチャネルMOSトランジスタ124、126で構成される回路ブロックを回路ブロック120とする。PチャネルMOSトランジスタ116は、入力信号電圧Vinが電源電圧VDD付近でNチャネルMOSトランジスタ112がオフする状態に近いときにオンとなり、入力端子T1と電源VDD間に

流れる定電流源114で制御される電流が遮断されないようにする作用をもつ。またNチャネルMOSトランジスタ126は、入力信号電圧Vinが電源電圧VSS付近でPチャネルMOSトランジスタ122がオフする状態に近いときにオンとなり、入力端子T1と電源VSS間に流れる定電流源124で制御される電流が遮断されないようにする作用をもつ。したがって図7における回路ブロック110及びスイッチ133、134は図6の電流源125とスイッチ145と同様の作用を行わせることができ、図7における回路ブロック120及びスイッチ143、144は図6の電流源115とスイッチ135と同様の作用を行わせることができる。図7の駆動回路としての作用は図6と同様の作用が可能である。

【0086】図8は、図6、及び図7に示した駆動回路の電流源トランジスタのゲートにバイアス電圧BIASP、BIASNを供給するためのバイアス回路である。図8を参照すると、このバイアス回路は、ソースが高位側電源VDDに接続されドレインとゲートが接続されたPチャネルMOSトランジスタ153と、ソースがスイッチ156を介して高位側電源VDDに接続され、ゲートがPチャネルMOSトランジスタ153のゲートに共通接続され、バイアス電圧端子T5に接続されるPチャネルMOSトランジスタ154と、ドレインが、PチャネルMOSトランジスタ154のドレインに接続され、ソースが低位側電源VSSに接続されドレインとゲートが接続されたNチャネルMOSトランジスタ152と、ドレインが、PチャネルMOSトランジスタ153のドレインに接続され、ソースがスイッチ155を介して低位側電源VSSに接続され、ゲートがバイアス電圧BIASPが供給されるNチャネルMOSトランジスタ151と、を備え、PチャネルMOSトランジスタ153とゲートとドレインの共通接続点はバイアス電圧端子T5に接続され、BIASPを出力し、NチャネルMOSトランジスタ152とゲートとドレインの共通接続点はバイアス電圧端子T6に接続され、BIASNを出力する。

【0087】図2の時間 $t_0 \sim t_2$ 、 $t_0' \sim t_2'$ 、および図4の時間 $t_0 \sim t_3$ 、 $t_0' \sim t_3'$ では、電流制御トランジスタ（電流源）は、動作させる必要がないため、バイアス回路も停止させることができる。

【0088】そこで、図8において、この期間、スイッチ155、156により動作を停止させることにより更に電力を削減する。

【0089】図9は、図6、及び図8に示した駆動回路のスイッチの制御動作の一例を説明するための図である。図9(a)は図6、図8に示した本発明の実施例のスイッチ制御動作を説明するためのタイミング図である。図9(b)は、図6の駆動回路をエンハンスメント形トランジスタを用いて構成した場合の内部ノード、入力信号電圧、出力電圧の電圧波形を示す図である。図9では、入力信号電圧が低電位データの場合の1データ出

力期間を4期間(タイミング期間)に分けている。タイミング期間 $t_0 \sim t_2$ で予備放電、タイミング期間 $t_2 \sim t_3$ で、スイッチ131をオンし、タイミング期間 $t_3 \sim t_4$ でスイッチ132、134、135をオンとし、またバイアス電圧を供給するためスイッチ155、156をオンとしている。

【0090】時刻 t_0 で、スイッチ201がオンとされ出力端子T2が放電され、スイッチ136がオンとされ、ノードV10が高位側電源電圧VDDとなる。

【0091】時刻 t_1 で、スイッチ136がオフ、スイッチ133がオンとされ、V10は入力信号電圧 V_{in} よりもトランジスタ112の閾値電圧 V_{th112} だけずれた電圧値とされる。なお閾値電圧はソースを基準とした電位で表す。

$$V_{10} = V_{in} + V_{th112}$$

【0092】時刻 t_2 でスイッチ201がオフ、スイッチ131がオンとされ、出力電圧は、ノード電圧V10よりも、トランジスタ111の閾値電圧 V_{th111} だけずれた電圧とされる。

$$V_{out} = V_{10} - V_{th111} \\ = V_{in} + V_{th112} - V_{th111}$$

なお出力端子T2に接続される容量性負荷を駆動する場合には、この期間 $t_2 \sim t_3$ 間のトランジスタ111の

$$V_{10} = V_{in} + V_{gs112} \quad (I_{114})$$

$$V_{out} = V_{10} - V_{gs111} \quad (I_{113})$$

$$= V_{in} + V_{gs112} \quad (I_{114}) - V_{gs111} \quad (I_{113})$$

ここでトランジスタ111、112のゲート・ソース間電圧 $V_{gs111} \quad (I_{113})$ 、 $V_{gs112} \quad (I_{114})$ が等しくなるように定電流源113、114で制御する電流 I_{113} 、 I_{114} を設定すれば出力電圧 $V_{out} = V_{in}$ となる。

【0094】また図9では、入力信号電圧が高電位の場合の1データ出力期間を4期間(タイミング期間)に分けている。タイミング期間 $t_0' \sim t_2'$ で予備充電、タイミング期間 $t_2' \sim t_3'$ で、スイッチ141をオンし、タイミング期間 $t_3' \sim t_4'$ でスイッチ142、144、145をオンとし、またバイアス電圧を供給するためスイッチ155、156をオンとしている。

【0095】時刻 t_0' で、スイッチ202がオンとされ、出力端子T2が充電され、スイッチ146がオンし、ノードV20が低位側電源電圧VSSとなる。

【0096】時刻 t_1' でスイッチ146がオフ、スイッチ143がオンし、ノード電圧V20は、入力信号電圧 V_{in} よりもトランジスタ122のしきい値電圧 V_{th122} だけずれた電圧値とされる。

$$V_{20} = V_{in} + V_{th122}$$

【0097】時刻 t_2' でスイッチ202がオフ、スイッチ141がオンとされ、出力電圧 V_{out} は、ノード電圧V20よりも、トランジスタ121の閾値電圧 V_{th121} だけずれた電圧とされる。

ソースフォロウ動作により引き上げられる出力電圧 V_{out} は、トランジスタ111、112の閾値電圧 V_{th111} 、 V_{th112} が等しい場合でも電圧 V_{in} よりもやや低い電圧となる。これはトランジスタ111のソースフォロウ動作において、トランジスタ111のゲート・ソース間電圧が閾値電圧に近づくにつれて電流駆動能力が徐々に下がるため容量性負荷の電圧を1データ出力期間内に電圧 V_{in} まで変化させることができないためである。

10 【0093】時刻 t_3 でスイッチ132、134、135がオンとされ、またスイッチ155、156がオンとされてバイアス回路(図8参照)が動作し、BIASPが、電流源トランジスタ114、123、125のゲートに、BIASNが、電流源トランジスタ124、113、115のゲートに供給され、V10は、入力信号電圧 V_{in} よりもトランジスタ112のトランジスタ111のゲート・ソース間電圧 $V_{gs112} \quad (I_{114})$

(ドレイン電流は電流源114の電流 I_{114})だけずれた電圧とされ、出力電圧 V_{out} は、V10よりも、

20 トランジスタ111のゲート・ソース間電圧 $V_{gs111} \quad (I_{113})$ (ドレイン電流は電流源113の電流 I_{113})だけずれた電圧とされる。なおゲート・ソース間電圧 V_{gs} はソースに対するゲートの電位で表す。

$$V_{out} = V_{20} - V_{th121}$$

$$= V_{in} + V_{th122} - V_{th121}$$

なお出力端子T2に接続される容量性負荷を駆動する場合には、この期間 $t_2' \sim t_3'$ 間のトランジスタ121のソースフォロウ動作により引き下げられる出力電圧 V_{out} は、トランジスタ121、122の閾値電圧 V_{th121} 、 V_{th122} が等しい場合でも電圧 V_{in} よりもやや高い電圧となる。これはトランジスタ121のソースフォロウ動作において、トランジスタ121のゲート・ソース間電圧が閾値電圧に近づくにつれて電流駆動能力が徐々に下がるため容量性負荷の電圧を1データ出力期間内に電圧 V_{in} まで変化させることができないためである。

40 【0098】時刻 t_3' で、スイッチ142、144、145がオンとされ、またスイッチ155、156がオンとされてバイアス回路が動作し、BIASPが、電流源トランジスタ114、123、125のゲートに、BIASNが、電流源トランジスタ124、113、115のゲートに供給され、V20は、入力信号電圧 V_{in} よりもトランジスタ122のゲート・ソース間電圧 $V_{gs122} \quad (I_{124})$ (ドレイン電流は電流源124の電流 I_{124})だけずれた電圧とされ、出力電圧 V_{out} は、V20よりも、トランジスタ121のゲート・ソース間電圧 $V_{gs121} \quad (I_{123})$ (ドレイン電流は

電流源 123 の電流 I_{123} だけずれた電圧とされる。

$$V_{20} = V_{in} + V_{gs122} (I_{124})$$

$$V_{out} = V_{20} - V_{gs121} (I_{123})$$

$$= V_{in} + V_{gs122} (I_{124}) - V_{gs121} (I_{123})$$

ここでトランジスタ 121、122 のゲート・ソース間電圧 $V_{gs121} (I_{123})$ 、 $V_{gs122} (I_{124})$ が等しくなるように定電流源 123、124 で制御する電流 I_{123} 、 I_{124} を設定すれば出力電圧 $V_{out} = V_{in}$ となる。

【0099】図 10 は、図 7、及び図 8 に示した駆動回路のスイッチの制御動作の一例を示す図である。図 10 では、図 6 のスイッチ 135、145 の制御がないことと、一部のスイッチの制御タイミングを共通化したことをのぞき、図 9 のスイッチ制御と基本的に同様とされる。出力電圧波形も、図 9 (b) に示したものと同様とされる。

【0100】図 11 は、図 9 に示したスイッチ制御動作実行時の駆動回路の動作の回路シミュレーション結果（電圧波形）を示す図である。出力負荷を 1 K オーム、15 pF、 $V_{DD} = 5V$ 、 $V_{SS} = 0V$ 、 $V_{in} = 2.5V$ とし、60 μsec にわたり、入力電圧と出力電圧の電圧波形（回路シミュレーション結果）を示している。

【0101】図 12 は、本発明の駆動回路を、多出力駆動回路に適用した構成を示す図である。多出力駆動回路は、例えば液晶表示装置のデータ線の駆動に用いられる。図 12 を参照すると、この多出力駆動回路は、参照電圧として例えば高位側電源 V_{DD} と低位側電源 V_{SS} 間に抵抗体が複数接続され抵抗ストリングを構成し、抵抗ストリングのタップから、階調電圧を出力する階調電圧発生手段 200 を備えている。階調電圧発生手段 200 からの階調電圧（アナログ電圧）は、デコーダ 300 に入力され、デコーダ 300 は、映像デジタル信号を入力し、映像デジタル信号に基づき、デコードし、対応する階調電圧を選択出力し、駆動回路 100 に入力される。駆動回路 100 は、図 6 乃至図 9 を参照して説明した前記実施例の構成からなる。バイアス回路 102 は、図 8 に示した構成とされ、バイアス電圧 B_{IAS} 、 P_{BIASN} を出力する。

【0102】なお、バイアス回路 102 は、あらかじめ定められた M 個 ($M > 2$) の駆動回路毎に設けられる。また、駆動回路 100 のスイッチのオン、オフを制御するスイッチ制御手段 101 を備えており、このスイッチ制御手段 101 は、図 2、図 4、図 10 (a)、又は図 11 に示したような制御動作で、駆動回路 100 のスイッチのオン、オフを制御する。並列に配置された駆動回路 100 の出力端子群 400 は、液晶パネルのデータ線を駆動する。なお、図 1 等 に示した駆動回路 100 の出力の寄生容量を、出力負荷の充電、放電に利用してもよいことは勿論である。

【0103】なお、上記実施例では、エンハンスメント型の N チャネル MOS トランジスタ、P チャネル MOS トランジスタを用いた例について説明したが、デプリーション型の N チャネル MOS トランジスタ、P チャネル MOS トランジスタについても同様な議論がなりたつ。

【0104】以上、本発明を上記実施例に即して説明したが、本発明は、上記実施例にのみ限定されるものではなく、特許請求の範囲の請求項の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【0105】

【発明の効果】以上説明したように本発明によれば、出力段がソースフォロワ構成の駆動回路において、出力段トランジスタのソースフォロワ駆動において、トランジスタのドレイン電流を制御する期間と遮断する期間を設け、遮断期間においても、ソースフォロワ動作が行われ、この間静消費電力を消費せずに、所望の電圧付近まで駆動することができ、その後、ドレイン電流を制御する期間に所望の電圧まで高い電圧精度で駆動することができ、低消費電力化と高精度電圧出力を実現している。

【図面の簡単な説明】

【図 1】本発明の一実施例の構成を示す図である。

【図 2】図 1 に示した本発明の一実施例の動作を説明するための図である。

【図 3】本発明の一実施例のゲートバイアス制御手段の構成を示す図である。

【図 4】図 3 に示した本発明の一実施例の動作を説明するための図である。

【図 5】本発明の一実施例の予備充放電手段の構成を示す図である。

【図 6】本発明の別の実施例の構成を示す図である。

【図 7】本発明の別の実施例の構成を示す図である。

【図 8】本発明の実施例におけるバイアス回路の構成を示す図である。

【図 9】(a) は図 6、図 8 に示した本発明の実施例のスイッチ制御動作を説明するためのタイミング図である。(b) は、内部ノード、入力信号電圧、出力電圧の電圧波形を示す図である。

【図 10】図 7、図 8 に示した本発明の実施例のスイッチ制御動作を説明するためのタイミング図である。

【図 11】本発明によるスイッチ制御の回路シミュレーション結果の一例を示す図である。

【図 12】本発明の駆動回路を備えた多出力回路の構成を示す図である。

【図 13】特開平 11-119750 号公報の駆動回路の構成を示す図である。

【図14】(a)は、特開平11-119750号公報のスイッチ制御動作を示すタイミング図である。(b)は、内部ノード、入力信号電圧、出力電圧の電圧波形を示す図である。

【図15】特開2000-338461号公報の駆動回路の構成を示す図である。

【図16】(a)は、特開特開2000-338461号公報のスイッチ制御動作を示すタイミング図である。

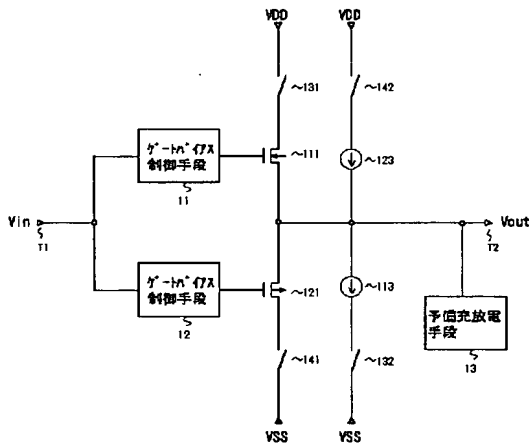
(b)は、内部ノード、入力信号電圧、出力電圧の電圧波形を示す図である。

【図17】特開2000-338461号公報の駆動回路の構成を示す図である。

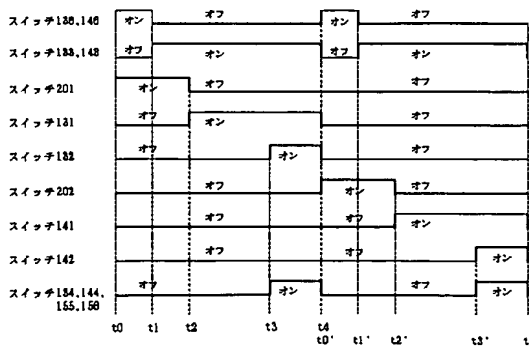
【符号の説明】

- 11 ゲートバイアス制御手段
- 12 ゲートバイアス制御手段
- 13 予備充放電手段
- 100 駆動回路
- 101 スwitch制御手段
- 102 バias回路
- 110、120 回路ブロック
- 111、112、126、151、152 Nチャネル

【図1】



【図10】

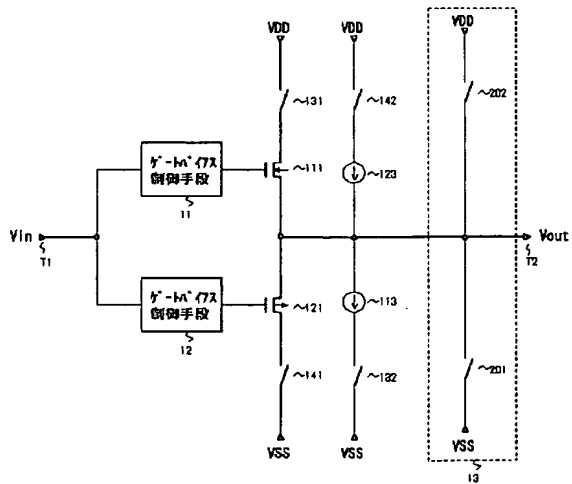


- MOSTランジスタ
- 121、122、116、153、154 PチャネルMOSTランジスタ
- 113、114、115、123、124、125 定電流源(電流制御回路)
- 131、132、133、134、135、136、141、142、143、144、145、146、155、156、201、202 スイッチ
- 200 階調発生手段
- 10 300 デコーダ
- 400 出力端子群
- 1010、1020 回路ブロック
- 1011、1012、1026 NチャネルMOSTランジスタ
- 1021、1022、1016 PチャネルMOSTランジスタ
- 1013、1014、1015、1023、1024、1025 定電流源(電流制御回路)
- 1031、1032、1033、1034、1035、1036、1041、1042、1043、1044、1045、1046 スイッチ

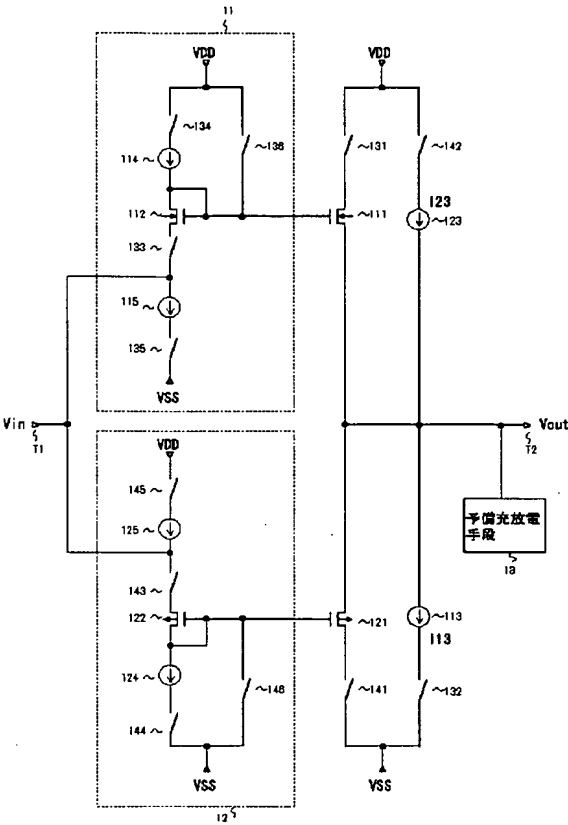
【図2】

入力電圧レベル	1 データ出力期間			2 データ出力期間		
	低電位レベル			高電位レベル		
タイミング	t0~t1	t1~t2	t2~t3	t0~t1'	t1'~t2'	t2'~t3'
予備充放電手段13	予備充電	停止	停止	予備充電	停止	停止
スイッチ131	オフ	オン	オン	オフ	オフ	オフ
スイッチ132	オフ	オフ	オン	オフ	オフ	オフ
スイッチ141	オフ	オフ	オフ	オフ	オン	オン
スイッチ142	オフ	オフ	オフ	オフ	オフ	オン

【図5】



【図3】



【図4】

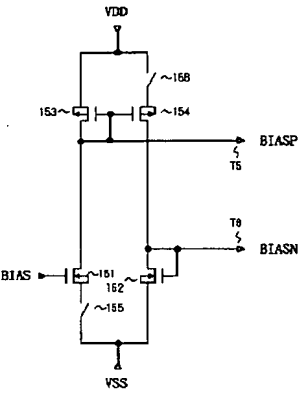
(a)

入力電圧レベル	1 データ出力期間			
	低電位レベル			
タイミング	t0 ~ t1	t1 ~ t2	t2 ~ t3	t3 ~ t4
予備充放電手段13	予備充電	予備充電	停止	停止
スイッチ131	オフ	オフ	オン	オン
スイッチ132	オフ	オフ	オフ	オン
スイッチ133	オフ	オン	オン	オン
スイッチ134, 135	オフ	オフ	オフ	オン
スイッチ138	オン	オフ	オフ	オフ
スイッチ141~148	オフ	オフ	オフ	オフ

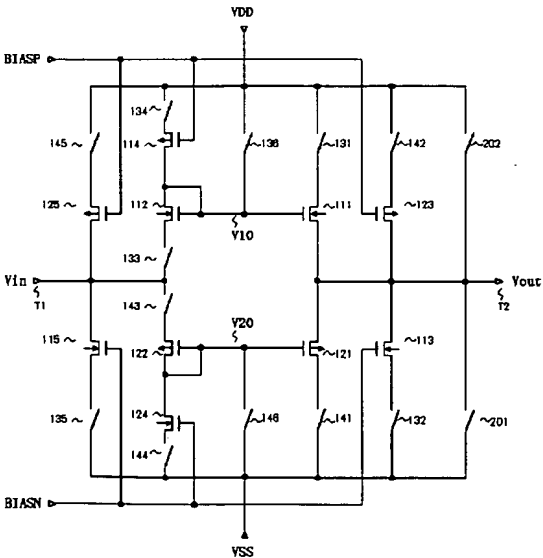
(b)

入力電圧レベル	1 データ出力期間			
	高電位レベル			
タイミング	t0 ~ t1	t1 ~ t2	t2 ~ t3	t3 ~ t4
予備充放電手段13	予備充電	予備充電	停止	停止
スイッチ141	オフ	オフ	オン	オン
スイッチ142	オフ	オフ	オフ	オン
スイッチ143	オフ	オン	オン	オン
スイッチ144, 145	オフ	オフ	オフ	オン
スイッチ148	オン	オフ	オフ	オフ
スイッチ131~138	オフ	オフ	オフ	オフ

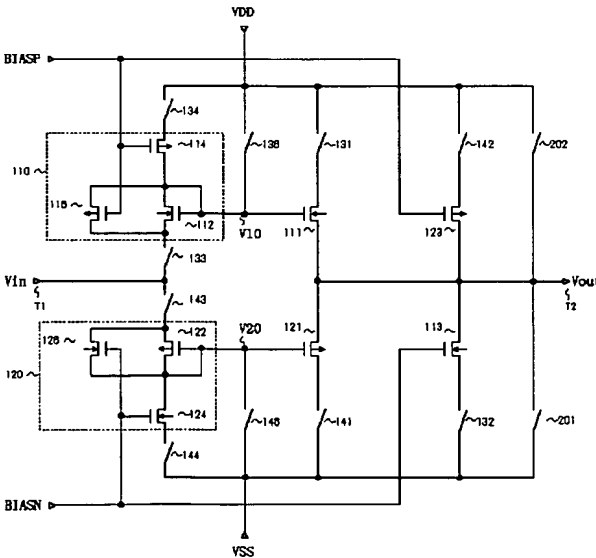
【図8】



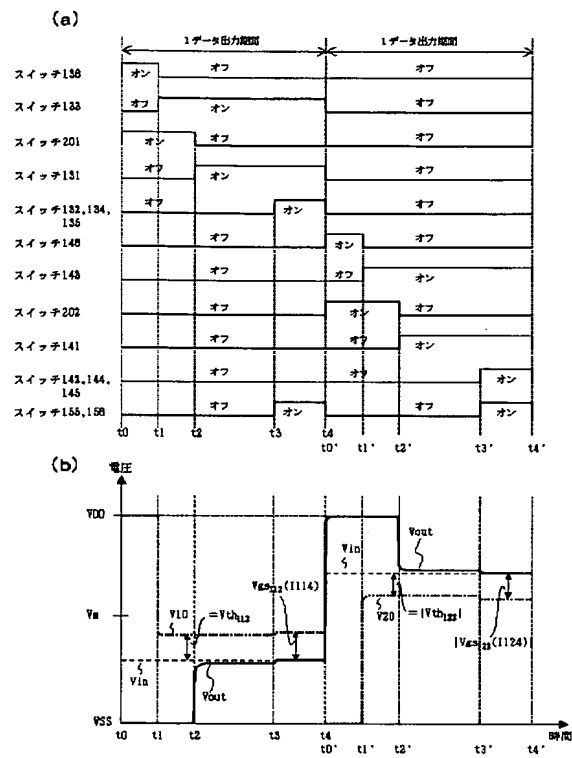
【図6】



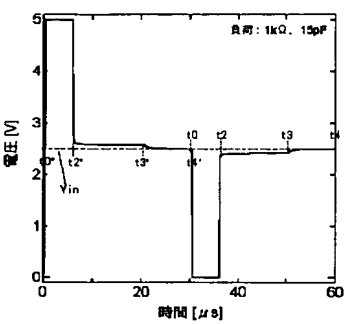
【図7】



【図 9】

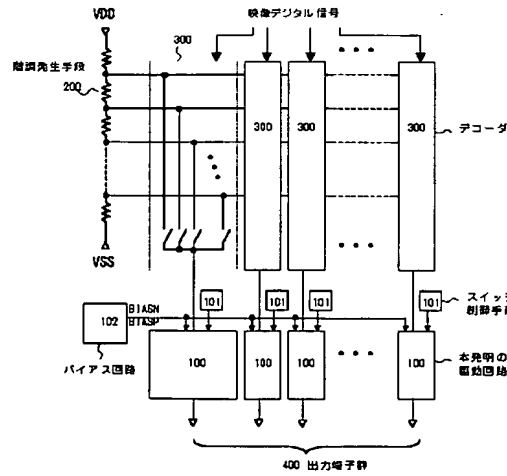


【図 11】

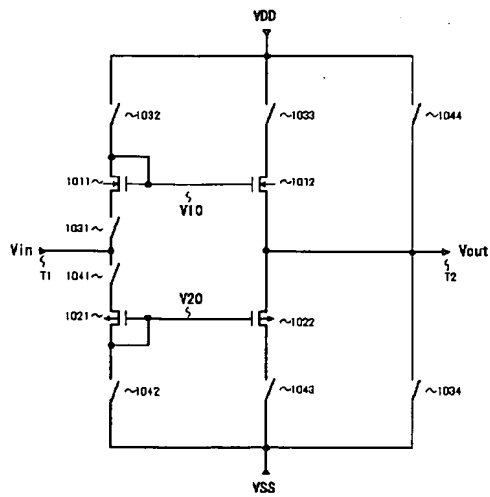


条件: VDD=5V, VSS=0V, Vin=2.5V, 出力負荷: 1kΩ, 15pF

【図 12】

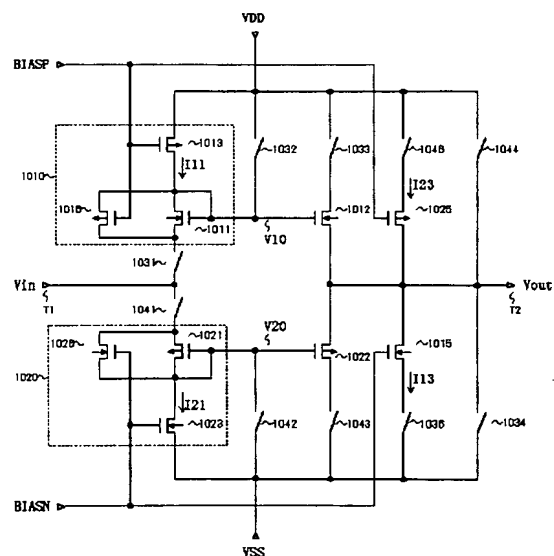


【図 13】



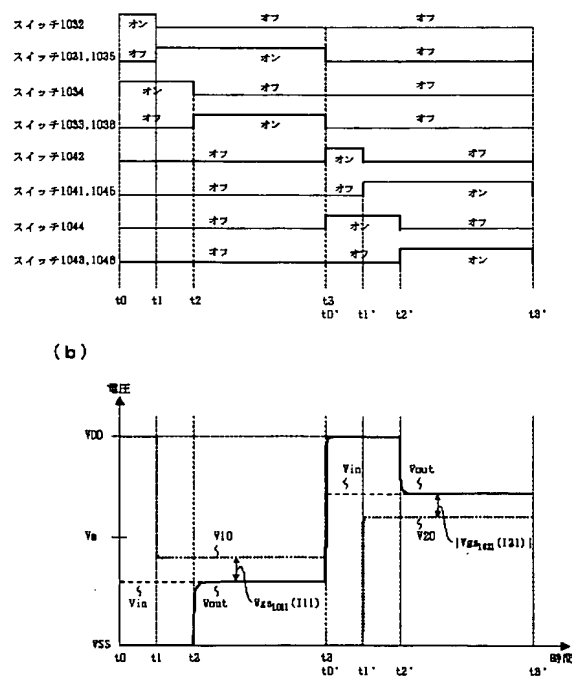
【図 15】

【图 17】



【图 17】

(b)



フロントページの続き

Fターム(参考) 2H093 NC03 NC04 NC11 NC33 ND33
ND39
5C006 AF75 BB11 BC11 BF34 BF49
FA16 FA47
5C080 AA10 BB05 DD26 FF09 JJ02
JJ03 JJ04
5J056 AA05 BB01 BB17 CC00 CC01
CC19 CC20 CC29 DD13 DD29
EE06 EE08 FF08 GG07 KK01